

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

E775-285  
8/2

J1033 U.S. PTO  
09/827391



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月11日

出 願 番 号

Application Number:

特願2000-109309

出 願 人

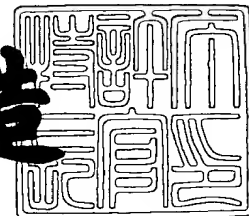
Applicant (s):

セイコーエプソン株式会社

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3099870

【書類名】 特許願

【整理番号】 EP-0222901

【提出日】 平成12年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8244

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 熊谷 敬

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 竹内 正浩

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 小平 覚

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 野田 貴史

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 駆動トランジスタ、第 2 駆動トランジスタ、第 1 負荷トランジスタ、第 2 負荷トランジスタ、第 1 転送トランジスタおよび第 2 転送トランジスタを含むメモリセル部と、

他の半導体回路部と、

が同一の半導体基板に形成されている半導体装置であって、

前記メモリセル部の一メモリセルは、第 1 ゲート電極層、第 2 ゲート電極層、第 1 ドレインードレイン接続層、第 2 ドレインードレイン接続層、第 1 ドレインーゲート接続層および第 2 ドレインーゲート接続層を備え、

前記第 1 ゲート電極層は、前記第 1 駆動トランジスタのゲート電極と前記第 1 負荷トランジスタのゲート電極とを含み、

前記第 2 ゲート電極層は、前記第 2 駆動トランジスタのゲート電極と前記第 2 負荷トランジスタのゲート電極とを含み、

前記第 1 ドレインードレイン接続層および前記第 2 ドレインードレイン接続層は、前記第 1 ゲート電極層および前記第 2 ゲート電極層より上に位置し、

平面的には、前記第 1 ドレインードレイン接続層と前記第 2 ドレインードレイン接続層との間に、前記第 1 ゲート電極層および前記第 2 ゲート電極層が位置し、

前記第 1 ドレインードレイン接続層は、前記第 1 駆動トランジスタのドレイン領域と前記第 1 負荷トランジスタのドレイン領域との接続に用いられ、

前記第 2 ドレインードレイン接続層は、前記第 2 駆動トランジスタのドレイン領域と前記第 2 負荷トランジスタのドレイン領域との接続に用いられ、

前記第 1 ドレインーゲート接続層および前記第 2 ドレインーゲート接続層は、前記第 1 ドレインードレイン接続層および前記第 2 ドレインードレイン接続層より上に位置し、

前記第 1 ドレインーゲート接続層は、前記第 1 ドレインードレイン接続層と前

記第 2 ゲート電極層との接続に用いられ、

前記第 2 ドレインゲート接続層は、前記第 2 ドレインードレイン接続層と前記第 1 ゲート電極層との接続に用いられ、

前記他の半導体回路部は、前記第 1 ドレインードレイン接続層および前記第 2 ドレインードレイン接続層と同じレベルの位置に、配線層を有さない、半導体装置。

【請求項 2】 請求項 1 において、

前記第 1 ドレインードレイン接続層および前記第 2 ドレインードレイン接続層の厚みは、それぞれ、100～170 nm である、半導体装置。

【請求項 3】 請求項 1 または 2 において、

前記第 1 ドレインードレイン接続層および前記第 2 ドレインードレイン接続層は、高融点金属の窒化物層を含む、半導体装置。

【請求項 4】 請求項 1～3 のいずれかにおいて、

電界効果トランジスタ、第 1 層間絶縁層、第 2 層間絶縁層、配線層およびコンタクト導電部を備え、

前記電界効果トランジスタは、前記他の半導体回路部に位置し、

前記第 1 層間絶縁層は、前記メモリセル部において、前記第 1 ゲート電極層および前記第 2 ゲート電極層を覆うように位置し、

前記第 1 層間絶縁層は、前記他の半導体回路部において、前記電界効果トランジスタのゲート電極を覆うように位置し、

前記第 2 層間絶縁層は、前記メモリセル部において、前記第 1 ドレインードレイン接続層および前記第 2 ドレインードレイン接続層を覆うように位置し、

前記第 2 層間絶縁層は、前記他の半導体回路部において、前記第 1 層間絶縁層上に位置し、

前記配線層は、前記他の半導体回路部において、前記第 2 層間絶縁層上に位置し、

前記配線層は、前記第 1 ドレインゲート接続層および前記第 2 ドレインゲート接続層と同じレベルの位置にあり、

前記コンタクト導電部は、前記他の半導体回路部において、前記第 1 層間絶縁

層から前記第 2 層間絶縁層にわたって形成された孔部に位置し、

前記コンタクト導電部は、前記配線層と前記電界効果トランジスタのソース／ドレインとの接続および前記配線層と前記電界効果トランジスタのゲート電極との接続のうち、少なくともいずれか一方の接続に用いられる、半導体装置。

【請求項 5】 請求項 4 において、

前記孔部のアスペクト比は、5 以下である、半導体装置。

【請求項 6】 請求項 1～5 のいずれかにおいて、

前記他の半導体回路部は、ロジック回路部を含む、半導体装置。

【請求項 7】 請求項 1～6 のいずれかにおいて、

前記第 1 ゲート電極層、前記第 2 ゲート電極層、前記第 1 ドレインードレイン接続層、前記第 2 ドレインードレイン接続層は、それぞれ、直線状のパターンをし、かつ、

これらは、互いに平行に配置されている、半導体装置。

【請求項 8】 請求項 1～7 のいずれかにおいて、

前記第 1 駆動トランジスタおよび前記第 2 駆動トランジスタは、n 型であり、  
前記第 1 負荷トランジスタおよび前記第 2 負荷トランジスタは、p 型であり、  
前記第 1 転送トランジスタおよび前記第 2 転送トランジスタは、n 型であり、  
第 1 層導電層、第 2 層導電層、第 3 層導電層および第 4 層導電層を備え、

前記第 1 層導電層には、前記第 1 ゲート電極層、前記第 2 ゲート電極層、および副ワード線が位置し、

前記第 2 層導電層には、前記第 1 ドレインードレイン接続層、前記第 2 ドレインードレイン接続層、電源線、第 1 コンタクトパッド層、第 2 コンタクトパッド層、および第 3 コンタクトパッド層が位置し、

前記第 3 層導電層には、前記第 1 ドレインーゲート接続層、前記第 2 ドレインーゲート接続層、主ワード線、第 4 コンタクトパッド層、第 5 コンタクトパッド層、および第 6 コンタクトパッド層が位置し、

前記第 4 層導電層には、第 1 ビット線、第 2 ビット線、および接地線が位置し

、  
前記副ワード線は、第 1 方向に延び、

前記電源線は、前記負荷トランジスタのソース領域と接続され、

前記第 1 コンタクトパッド層は、前記第 1 ビット線と前記第 1 転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第 2 コンタクトパッド層は、前記第 2 ビット線と前記第 2 転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第 3 コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、

前記主ワード線は、第 1 方向に延び、

前記第 4 コンタクトパッド層は、前記第 1 ビット線と前記第 1 転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第 5 コンタクトパッド層は、前記第 2 ビット線と前記第 2 転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第 6 コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、

前記第 1 ビット線および前記第 2 ビット線は、第 1 方向と直角に交わる第 2 方向に延びる、半導体装置。

【請求項 9】 請求項 1 ～ 8 のいずれかにおいて、

前記メモリセルのサイズが、 $4.5 \mu\text{m}^2$  以下である、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、SRAM (static random access memory) のようなメモリセル部を備えた半導体装置に関する。

【0002】

【背景技術および発明が解決しようとする課題】

SRAMは、リフレッシュ動作が不要なのでシステムを簡単にできることや低消費電力であるという特徴を有する。このため、SRAMは、例えば、携帯電話のような携帯機器のメモリに好適に使用される。SRAMが搭載される携帯機器には、小型化の要請があり、このためには、SRAMのメモリセルサイズを縮小

しなければならない。

【0003】

本発明の目的は、メモリセルサイズを小型化することが可能な半導体装置を提供することである。

【0004】

【課題を解決するための手段】

本発明は、第1駆動トランジスタ、第2駆動トランジスタ、第1負荷トランジスタ、第2負荷トランジスタ、第1転送トランジスタおよび第2転送トランジスタを含むメモリセル部と、他の半導体回路部と、が同一の半導体基板に形成されている半導体装置であって、前記メモリセル部の一メモリセルは、第1ゲート電極層、第2ゲート電極層、第1ドレインードレイン接続層、第2ドレインードレイン接続層、第1ドレインーゲート接続層および第2ドレインーゲート接続層を備え、前記第1ゲート電極層は、前記第1駆動トランジスタのゲート電極と前記第1負荷トランジスタのゲート電極とを含み、前記第2ゲート電極層は、前記第2駆動トランジスタのゲート電極と前記第2負荷トランジスタのゲート電極とを含み、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層は、前記第1ゲート電極層および前記第2ゲート電極層より上に位置し、平面的には、前記第1ドレインードレイン接続層と前記第2ドレインードレイン接続層との間に、前記第1ゲート電極層および前記第2ゲート電極層が位置し、前記第1ドレインードレイン接続層は、前記第1駆動トランジスタのドレイン領域と前記第1負荷トランジスタのドレイン領域との接続に用いられ、前記第2ドレインードレイン接続層は、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との接続に用いられ、前記第1ドレインーゲート接続層および前記第2ドレインーゲート接続層は、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層より上に位置し、前記第1ドレインーゲート接続層は、前記第1ドレインードレイン接続層と前記第2ゲート電極層との接続に用いられ、前記第2ドレインーゲート接続層は、前記第2ドレインードレイン接続層と前記第1ゲート電極層との接続に用いられ、前記他の半導体回路部は、前記第1ドレインードレイン接続層および前記第2ドレインード



レイン接続層と同じレベルの位置に、配線層を有さない、ことを特徴とする。

## 【 0 0 0 5 】

本発明は、インバータのゲートとなるゲート電極層と、インバータのドレイン同士を接続するドレインードレイン接続層と、一方のインバータのゲートと他方のインバータのドレインとを接続するドレインーゲート接続層と、を備えている。本発明の半導体装置は、三層（ゲート電極層、ドレインードレイン接続層、ドレインーゲート接続層）を用いて、フリップフロップが形成される。このため、二層を用いてフリップフロップを形成する場合に比べて、各層のパターンを単純化（例えば、直線状のパターン）することができる。このように、本発明によれば、各層のパターンを単純化できるので、例えば、メモリセルサイズが、 $4.5 \mu\text{m}^2$ 以下の微細な半導体装置にすることができる。

## 【 0 0 0 6 】

また、本発明によれば、平面的には、第1ドレインードレイン接続層と第2ドレインードレイン接続層との間に、第1および第2ゲート電極層が位置している。このため、駆動トランジスタのソースコンタクト層をメモリセル中央部に配置することができる。さらに、ドレインードレイン接続層と同じ層にあり、ソースコンタクト層が接続される配線をメモリセル中央部に配置することができる。これらにより、第1および第2ドレインーゲート接続層形成の自由度が増すので、この点からも、メモリセルサイズの小型化に有利となる。なお、ソースコンタクト層とは、駆動トランジスタのソース領域と配線層との接続に用いられる導電層である。

## 【 0 0 0 7 】

また、本発明によれば、微細なメモリセルを混載しながらも、他の半導体回路部の高速化が可能となる。すなわち、後で述べるように、本発明は、第1および第2ドレインードレイン接続層に、高融点金属の窒化物層を用いる場合がある。高融点金属の窒化物層は、電気抵抗が比較的高いので、これを他の半導体回路部の配線層として用いると、他の半導体回路部の高速化を図れない。本発明は、他の半導体回路部において、第1および第2ドレインードレイン接続層と同じレベルの位置に配線層を有さないので、他の半導体回路部の高速化を図れるのである。

## 【 0 0 0 8 】

本発明は、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層の厚みは、それぞれ、100～170nmである、ことを特徴とする。第1および第2ドレインードレイン接続層の厚みが100nm以上だと、第1および第2ドレインードレイン接続層の電気抵抗を好ましい値にできるからである。第1および第2ドレインードレイン接続層の厚みが170nm以下だと、この上に位置する層間絶縁層の厚みが大きくなりすぎないので、この層間絶縁層に形成される孔部（例えば、スルーホール）のアスペクト比を小さく（例えば、5以下）することができる。なお、第1および第2ドレインードレイン接続層が、チタンナイトライドのような高融点金属の窒化物層を含むと、第1および第2ドレインードレイン接続層の厚みを170nm以下にすることが可能となる。

## 【 0 0 0 9 】

本発明は、電界効果トランジスタ、第1層間絶縁層、第2層間絶縁層、配線層およびコンタクト導電部を備え、前記電界効果トランジスタは、前記他の半導体回路部に位置し、前記第1層間絶縁層は、前記メモリセル部において、前記第1ゲート電極層および前記第2ゲート電極層を覆うように位置し、前記第1層間絶縁層は、前記他の半導体回路部において、前記電界効果トランジスタのゲート電極を覆うように位置し、前記第2層間絶縁層は、前記メモリセル部において、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層を覆うように位置し、前記第2層間絶縁層は、前記他の半導体回路部において、前記第1層間絶縁層上に位置し、前記配線層は、前記他の半導体回路部において、前記第2層間絶縁層上に位置し、前記配線層は、前記第1ドレインーゲート接続層および前記第2ドレインーゲート接続層と同じレベルの位置にあり、前記コンタクト導電部は、前記他の半導体回路部において、前記第1層間絶縁層から前記第2層間絶縁層にわたって形成された孔部に位置し、前記コンタクト導電部は、前記配線層と前記電界効果トランジスタのソース／ドレインとの接続および前記配線層と前記電界効果トランジスタのゲート電極との接続のうち、少なくともいずれか一方の接続に用いられる、ことを特徴とする。

## 【 0 0 1 0 】

本発明によれば、第1層間絶縁層と第2層間絶縁層との間にコンタクトパッド層を形成することなく、コンタクト導電部により、配線層と電界効果トランジスタのソース／ドレインとの接続や配線層と電界効果トランジスタのゲート電極との接続を行っている。このため、他の半導体回路部の形成工程の簡略化が可能となる。

## 【 0 0 1 1 】

本発明は、前記孔部のアスペクト比は、5以下である、ことを特徴とする。孔部のアスペクト比が5以下だと、これらの孔部にコンタクト導電部を容易に埋め込むことができる。

## 【 0 0 1 2 】

本発明は、前記他の半導体回路部は、ロジック回路部を含む、ことを特徴とする。ロジック回路部は、高速化が要求されるからである。ロジック回路部には、例えば、ゲートアレイ、スタンダードセル、システムLSIが備えられる。

## 【 0 0 1 3 】

本発明は、前記第1ゲート電極層、前記第2ゲート電極層、前記第1ドレインードレイン接続層、前記第2ドレインードレイン接続層は、それぞれ、直線状のパターンをし、かつ、これらは、互いに平行に配置されている、ことを特徴とする。本発明によれば、パターンが単純なので、微細なメモリセルサイズの半導体装置にすることができる。

## 【 0 0 1 4 】

本発明は、前記第1駆動トランジスタおよび前記第2駆動トランジスタは、n型であり、前記第1負荷トランジスタおよび前記第2負荷トランジスタは、p型であり、前記第1転送トランジスタおよび前記第2転送トランジスタは、n型であり、第1層導電層、第2層導電層、第3層導電層および第4層導電層を備え、前記第1層導電層には、前記第1ゲート電極層、前記第2ゲート電極層、および副ワード線が位置し、前記第2層導電層には、前記第1ドレインードレイン接続層、前記第2ドレインードレイン接続層、電源線、第1コンタクトパッド層、第2コンタクトパッド層、および第3コンタクトパッド層が位置し、前記第3層導

電層には、前記第 1 ドレインゲート接続層、前記第 2 ドレインゲート接続層、主ワード線、第 4 コンタクトパッド層、第 5 コンタクトパッド層、および第 6 コンタクトパッド層が位置し、前記第 4 層導電層には、第 1 ビット線、第 2 ビット線、および接地線が位置し、前記副ワード線は、第 1 方向に延び、前記電源線は、前記負荷トランジスタのソース領域と接続され、前記第 1 コンタクトパッド層は、前記第 1 ビット線と前記第 1 転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第 2 コンタクトパッド層は、前記第 2 ビット線と前記第 2 転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第 3 コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、前記主ワード線は、第 1 方向に延び、前記第 4 コンタクトパッド層は、前記第 1 ビット線と前記第 1 転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第 5 コンタクトパッド層は、前記第 2 ビット線と前記第 2 転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第 6 コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、前記第 1 ビット線および前記第 2 ビット線は、第 1 方向と直角に交わる第 2 方向に延びる、ことを特徴とする。

## 【 0 0 1 5 】

本発明によれば、半導体装置に要求される様々な性能（例えば、小型化、信頼性、安定性、スピード）を、バランスよく高めることが可能となる。

## 【 0 0 1 6 】

## 【発明の実施の形態】

本発明にかかる半導体装置の一実施形態について説明する。図 1 8 は、本実施形態の半導体装置 1 の平面図である。本実施形態の半導体装置 1 は、S R A M 部 3 と、ロジック回路部 5 と、を同一の半導体基板に形成している。これは、一般に、メモリ混載チップと呼ばれる。まず、S R A M 部 3 の構造の概略を説明し、それから S R A M 部 3 の構造の詳細を説明し、そして、ロジック回路部 5 の構造を説明し、最後に本実施形態の主な効果を説明する。

## 【 0 0 1 7 】

## 〔S R A M 部 3 の構造の概略〕

本実施形態のSRAM部3は、6個のMOS電界効果トランジスタにより、一つのメモリセルが構成されるタイプである。SRAM部3の構造の概略を、メモリセルのフリップフロップを構成する部分の構造と、メモリセルの構造と、に分けて説明する。

## 【0018】

{メモリセルのフリップフロップを構成する部分の構造}

図1は、本実施形態のSRAM部3のメモリセルアレイの一部における第1層導電層、第2層導電層および第3層導電層を示す平面図である。図1の理解を容易にするため、まず、第1層導電層、第2層導電層、第3層導電層について個別に説明する。

## 【0019】

第1層導電層は、図3に示すように、ゲート電極層21a、21bおよび副ワード線23が配置されている。第2層導電層は、図5に示すように、ドレイン-ドレイン接続層31a、31b等が配置されている。第3層導電層は、図8に示すように、ドレイン-ゲート接続層41a、41b等が配置されている。図3に示す構造上に、図5に示す構造が位置し、図5に示す構造上に、図8に示す構造が位置している。これを一つの図で表したのが図1である。

## 【0020】

図1には、フリップフロップを構成する部分が表れている。これを、領域Aに着目して説明する。領域Aは、一つのメモリセルが形成される領域である。他の図面の領域Aもこの意味である。

## 【0021】

領域Aには、6個のMOS電界効果トランジスタ、つまり、nチャネル型の転送トランジスタ $Q_1$ 、 $Q_2$ 、nチャネル型の駆動トランジスタ $Q_3$ 、 $Q_4$ およびpチャネル型の負荷トランジスタ $Q_5$ 、 $Q_6$ が形成されている。駆動トランジスタ $Q_3$ と負荷トランジスタ $Q_5$ とで、一つのCMOSインバータが構成されている。また、駆動トランジスタ $Q_4$ と負荷トランジスタ $Q_6$ とで、一つのCMOSインバータが構成されている。この二つのCMOSインバータをクロスカップルすることにより、フリップフロップが構成される。領域Aにある6個のMOS電界効果ト

ランジスタで構成される回路を、等価回路で示すと図 1 7 のようになる。

【 0 0 2 2 】

再び図 1 を参照して、ゲート電極層 2 1 a、およびゲート電極層 2 1 b は、それぞれ、直線状のパターンをしている。ゲート電極層 2 1 a は、駆動トランジスタ  $Q_3$  および負荷トランジスタ  $Q_5$  のゲート電極を構成し、さらに、これらのゲート電極同士を接続している。また、ゲート電極層 2 1 b は、駆動トランジスタ  $Q_4$  および負荷トランジスタ  $Q_6$  のゲート電極を構成し、さらに、これらのゲート電極同士を接続している。

【 0 0 2 3 】

駆動トランジスタ  $Q_3$  のドレイン領域と負荷トランジスタ  $Q_5$  のドレイン領域とは、ドレインードレイン接続層 3 1 a により接続される。また、駆動トランジスタ  $Q_4$  のドレイン領域と負荷トランジスタ  $Q_6$  のドレイン領域とは、ドレインードレイン接続層 3 1 b により接続される。ドレインードレイン接続層 3 1 a およびドレインードレイン接続層 3 1 b は、それぞれ、直線状のパターンを有する。

【 0 0 2 4 】

駆動トランジスタ  $Q_3$  および負荷トランジスタ  $Q_5$  のゲート電極（ゲート電極層 2 1 a）とドレインードレイン接続層 3 1 b とは、ドレインーゲート接続層 4 1 b により接続されている。また、駆動トランジスタ  $Q_4$  および負荷トランジスタ  $Q_6$  のゲート電極（ゲート電極層 2 1 b）とドレインードレイン接続層 3 1 a とは、ドレインーゲート接続層 4 1 a により接続されている。ドレインーゲート接続層 4 1 a およびドレインーゲート接続層 4 1 b は、それぞれ、L 字状のパターンをしている。L 字状のパターンの第 1 の辺と第 2 の辺とで形成される角度は、ほぼ 9 0 度である。ドレインーゲート接続層 4 1 a の第 1 の辺は、ドレインーゲート接続層 4 1 b の第 1 の辺と対向している。ドレインーゲート接続層 4 1 a の第 2 の辺は、ドレインーゲート接続層 4 1 b の第 2 の辺と対向している。ドレインーゲート接続層 4 1 a とドレインーゲート接続層 4 1 b とは、ほぼ点対称である。

【 0 0 2 5 】

ゲート電極層 2 1 a、ゲート電極層 2 1 b、ドレインードレイン接続層 3 1 a

およびドレインードレイン接続層 3 1 b は、互いに平行に配置されている。そして、平面的に見ると、ドレインードレイン接続層 3 1 a とドレインードレイン接続層 3 1 b との間に、ゲート電極層 2 1 a、2 1 b が位置している。

【 0 0 2 6 】

{メモリセルの構造}

次に、本実施形態の S R A M 部 3 のメモリセルの構造を説明する。S R A M 部 3 のメモリセルは、フィールド上に、第 1 層導電層、第 2 層導電層、第 3 層導電層、第 4 層導電層を、層間絶縁層を介して、順に重ねた構造をしている。フィールドは、図 2 に示すように、活性領域 1 1、1 3、1 5、1 7 と素子分離領域 1 9 とが位置する領域である。第 4 層導電層は、図 1 0 に示すように、ビット線 5 1 等が位置する層である。S R A M 部 3 のメモリセルは、図 2 に示すフィールド上に、前述した図 1 に示す第 1 層導電層、第 2 層導電層、第 3 層導電層が位置し、そして、この上に、図 1 0 に示す第 4 層導電層が位置する構造をしている。

【 0 0 2 7 】

[S R A M 部 3 の構造の詳細]

本実施形態の S R A M 部 3 の構造の詳細を、下層から順に、図 2 ～図 1 5 を用いて説明する。なお、図 2 ～図 1 3 には、B 1 - B 2 線、C 1 - C 2 線が記載されている。B 1 - B 2 線に沿った断面を示すのが図 1 4 であり、C 1 - C 2 線に沿った断面を示すのが図 1 5 である。

【 0 0 2 8 】

{フィールド、第 1 層導電層}

図 1 1 は、フィールドおよび第 1 層導電層を示す平面図である。まず、フィールドについて、図 2、図 1 4 および図 1 5 を用いて説明する。図 2 は、フィールドを示す平面図である。フィールドは、活性領域 1 1、1 3、1 5、1 7 および素子分離領域 1 9 を有する。活性領域 1 1、1 3、1 5、1 7 は、シリコン基板の表面に形成されている。

【 0 0 2 9 】

活性領域 1 1 は、ほぼ口の字型をしている。複数の活性領域 1 1 が、図 2 中、x 軸方向に並んでいる。活性領域 1 1 には、図 1 に示す転送トランジスタ Q<sub>1</sub>、

$Q_2$ 、駆動トランジスタ $Q_3$ 、 $Q_4$ が形成される。

【 0 0 3 0 】

活性領域 1 3 は、ほぼエの字型をしている。複数の活性領域 1 3 が、図 2 中、 $x$  軸方向に並んでいる。活性領域 1 3 には、図 1 に示す負荷トランジスタ $Q_5$ 、 $Q_6$ が形成される。

【 0 0 3 1 】

活性領域 1 5 は、例えば、 $x$  方向に並ぶ 3 2 メモリセル毎に一つが形成される。活性領域 1 5 には、 $n$  ウェルのウェルコンタクト領域が形成される。よって、3 2 メモリセル分に対応する  $n$  ウェルが、このウェルコンタクト領域を介して、 $V_{DD}$  配線（電源線）と接続される。

【 0 0 3 2 】

活性領域 1 7 は、 $y$  方向に並ぶ 2 メモリセル毎に一つが形成される。活性領域 1 7 には、 $p$  ウェルのウェルコンタクト領域が形成される。よって、2 メモリセル分に対応する  $p$  ウェルが、このウェルコンタクト領域を介して、 $V_{SS}$  配線（接地線）と接続される。

【 0 0 3 3 】

活性領域 1 1、1 3、1 5、1 7 は、それぞれ、素子分離領域 1 9（深さ、例えば、400 nm）により、他の活性領域から分離されている。素子分離領域 1 9 としては、例えば、STI（shallow trench isolation）がある。

【 0 0 3 4 】

図 2 に示すフィールドの B 1 - B 2 断面、C 1 - C 2 断面は、それぞれ、図 1 4、図 1 5 に示すとおりである。これらの断面には、活性領域 1 1、1 3 や素子分離領域 1 9 が表れている。

【 0 0 3 5 】

次に、フィールド上に位置する第 1 層導電層について、図 3、図 1 1、図 1 4 および図 1 5 を用いて説明する。図 3 は、第 1 層導電層を示す平面図であり、第 1 層導電層には、複数のゲート電極層 2 1 a、2 1 b および複数の副ワード線 2 3 が配置されている。ゲート電極層 2 1 a、2 1 b および副ワード線 2 3 は、例えば、ポリシリコン層上にシリサイド層を形成した構造を有する。



## 【 0 0 3 6 】

ゲート電極層 2 1 a、2 1 b は、それぞれ、図 3 中、y 軸方向に延びた直線状のパターンを有する。一組のゲート電極層 2 1 a、2 1 b が、互いに平行に、一つのメモリセル領域に配置される。ゲート電極層 2 1 a、2 1 b は、図 1 に示す駆動トランジスタ  $Q_3$ 、 $Q_4$ 、負荷トランジスタ  $Q_5$ 、 $Q_6$  のゲート電極となる。駆動トランジスタ  $Q_3$ 、 $Q_4$  のゲート長は、例えば、 $0.18 \mu m$  である。負荷トランジスタ  $Q_5$ 、 $Q_6$  のゲート長は、例えば、 $0.20 \mu m$  である。

## 【 0 0 3 7 】

副ワード線 2 3 は、直線状のパターンを有し、図 3 中、x 軸方向に延びている。副ワード線 2 3 は、駆動トランジスタ側に位置している。副ワード線 2 3 は、上層に位置する主ワード線によって活性化／非活性化される。副ワード線 2 3 は、転送トランジスタのゲート電極となる。転送トランジスタのゲート長は、例えば、 $0.24 \mu m$  である。

## 【 0 0 3 8 】

図 3 に示す第 1 層導電層の B 1 - B 2 断面、C 1 - C 2 断面は、それぞれ、図 1 4、図 1 5 に示すとおりである。これらの断面には、副ワード線 2 3 やゲート電極層 2 1 b が表れている。

## 【 0 0 3 9 】

次に、活性領域に形成されるソース／ドレイン領域等について説明する。図 1 1 に示すように、活性領域 1 1 には、 $n^+$  型ソース／ドレイン領域 1 1 a が形成される。ソース／ドレイン領域とは、ソースおよびドレインのうち、少なくとも一方の機能を果たす領域という意味である。活性領域 1 5 には、 $n^+$  型ウェルコンタクト領域 1 5 a が形成される。活性領域 1 7 には、 $p^+$  型ウェルコンタクト領域 1 7 a が形成される。

## 【 0 0 4 0 】

フィールドおよび第 1 層導電層を覆うように、例えば、シリコン酸化層のような層間絶縁層（図 1 1 中には図示せず）が形成されている。図 1 4 および図 1 5 に示すように、この層間絶縁層 6 5 は、CMP により平坦化の処理がなされている。層間絶縁層 6 5 には、 $n^+$  型ソース／ドレイン領域 1 1 a 等を露出する複数

のコンタクトホール 6 3 が形成されている。これらのコンタクトホール 6 3 には、コンタクト導電部 6 1 が埋め込まれている。

#### 【 0 0 4 1 】

コンタクト導電部 6 1 は、コンタクトホール 6 3 に埋め込まれたプラグ 6 0 と、コンタクトホール 6 3 の底面上および側面上に位置する高融点金属の窒化物層 6 2 と、を含む。プラグ 6 0 の材料としては、例えば、タングステンがある。高融点金属の窒化物層 6 2 の材料としては、例えば、チタンナイトライドがある。高融点金属の窒化物層 6 2 は、主にバリア層として機能する。コンタクトホール 6 3 の上端部の径は、例えば、 $0.30\mu\text{m}$  であり、下端部の径は、例えば、 $0.24\mu\text{m}$  である。

#### 【 0 0 4 2 】

コンタクト導電部 6 1 の平面パターンを図で示すと、図 4 のとおりである。図 1 1 に示すように、コンタクト導電部 6 1 は、 $n^+$ 型ソース／ドレイン領域 1 1 a、 $p^+$ 型ソース／ドレイン領域 1 3 a、 $n^+$ 型ウェルコンタクト領域 1 5 a、 $p^+$ 型ウェルコンタクト領域 1 7 a に接続されている。

#### 【 0 0 4 3 】

##### { 第 2 層導電層 }

第 2 層導電層は、図 1 1 に示す構造上に位置する。第 2 層導電層は、図 5 に示すように、複数のドレインードレイン接続層 3 1 a、3 1 b、 $V_{DD}$  配線 3 3、複数の BL (ビット線、ビット線／) コンタクトパッド層 3 5 a、3 5 b、複数の  $V_{SS}$  局所配線 3 7 が配置されている。これらは、例えば、高融点金属からなる金属層 (厚さ例えば、 $8.5\text{nm}$ ) 上に、高融点金属の窒化物層 (厚さ例えば、 $135\text{nm}$ ) を形成した構造を有する。高融点金属からなる金属層は、下敷きとなり、例えば、チタン層がある。高融点金属の窒化物層は、例えば、チタンナイトライド層がある。なお、第 2 層導電層の構成は、高融点金属の窒化物層のみでもよい。

#### 【 0 0 4 4 】

ドレインードレイン接続層 3 1 a、3 1 b から説明する。ドレインードレイン接続層 3 1 a、3 1 b は、それぞれ、図 5 中、y 軸方向に延びた直線状のパター

ンを有する。ドレインードレイン接続層 31a の本体部 31a3 の幅は、ドレインードレイン接続層 31a の端部 31a1、31a2 の幅より小さい。同様に、ドレインードレイン接続層 31b の本体部 31b3 の幅は、ドレインードレイン接続層 31b の端部 31b1、31b2 の幅より小さい。本体部 31a3、31b3 の幅の値は、設計ルール上の最小値である。一組のドレインードレイン接続層 31a、31b が、一つのメモリセル領域に配置される。

## 【0045】

$V_{SS}$  局所配線 37 は、端部および、図 5 中、y 軸方向に延びた本体部を有する。 $V_{SS}$  局所配線 37 の端部の幅は、 $V_{SS}$  局所配線 37 の本体部の幅より大きい。 $V_{SS}$  局所配線 37 は、ドレインードレイン接続層 31a の端部 31a2 とドレインードレイン接続層 31b の端部 31b2 との間に位置する。そして、この位置から、 $V_{SS}$  局所配線 37 は、図 5 中、下に位置するメモリセルのドレインードレイン接続層 31a の端部 31a2 とドレインードレイン接続層 31b の端部 31b2 との間にまで延びている。 $V_{SS}$  局所配線 37 は、二つのメモリセルにつき、一つが配置される。

## 【0046】

BL コンタクトパッド層 35a は、ビット線と  $n^+$  型ソース/ドレイン領域 11a (図 11 参照) とを接続するためのパッド層として機能する。同様に、BL コンタクトパッド層 35b は、ビット線/と  $n^+$  型ソース/ドレイン領域 11a とを接続するためのパッド層として機能する。

## 【0047】

BL コンタクトパッド層 35a は、一メモリセルのドレインードレイン接続層 31a と、図 5 中、その下にあるメモリセルのドレインードレイン接続層 31a との間に位置する。同様に、BL コンタクトパッド層 35b は、一メモリセルのドレインードレイン接続層 31b と、図 5 中、その下にあるメモリセルのドレインードレイン接続層 31b との間に位置する。BL コンタクトパッド層 35a、35b は、二つのメモリセルにつき、それぞれ、一つが配置される。

## 【0048】

$V_{DD}$  配線 33 は、図 5 中、x 軸方向に延びた直線状のパターンを有する。 $V_{DD}$

配線 33 は、 $n^+$ 型ウェルコンタクト領域 15a (図 11 参照) と立体的に交差するように延びている。 $V_{DD}$ 配線 33 は、 $n^+$ 型ウェルコンタクト領域 15a の上方に、分岐部 33a、33b を有する。

## 【0049】

図 5 に示す第 2 層導電層に位置するドレインードレイン接続層 31a、31b、 $V_{DD}$ 配線 33、BLコンタクトパッド層 35a、35b、 $V_{SS}$ 局所配線 37 は、図 11 に示すコンタクト導電部 61 と接続されている。この接続を、図 5 ではコンタクト部 61m で表す。

## 【0050】

図 5 に示す第 2 層導電層の B1-B2 断面は、図 14 に示すとおりである。この断面には、ドレインードレイン接続層 31b、BLコンタクトパッド層 35b が表れている。第 2 層導電層は、先程説明したように、高融点金属からなる金属層 30 と、高融点金属からなる金属層 30 上に位置する高融点金属の窒化物層 32 と、を備える。

## 【0051】

第 2 層導電層を覆うように、例えば、シリコン酸化層のような層間絶縁層 (図 5 中には図示せず) が形成されている。図 14 および図 15 に示すように、この層間絶縁層 71 は、CMP により平坦化の処理がなされている。図 14 に示すように、層間絶縁層 71 には、ドレインードレイン接続層 31b 等を露出する複数のスルーホール 79 が形成されている。スルーホール 79 には、コンタクト導電部 75 が埋め込まれている。また、図 15 に示すように、層間絶縁層 71、65 には、ゲート電極層 21b を露出するスルーホール 77 が形成されている。スルーホール 77 には、コンタクト導電部 73 が埋め込まれている。コンタクト導電部 73、75 と第 2 層導電層との平面的関係を図示したのが図 12 である。

## 【0052】

コンタクト導電部 73 について説明する。コンタクト導電部 73 の平面パターンは、図 6 に示すとおりである。コンタクト導電部 73 は、ゲート電極層 21a、21b (図 3 参照) に、接続されている。コンタクト導電部 73 の断面を、図 15 を用いて説明する。コンタクト導電部 73 は、二つの層間絶縁層 65、71

を貫通するスルーホール 77 に埋め込まれている。この断面において、コンタクト導電部 73 は、ゲート電極層 21b と接続されている。コンタクト導電部 73 は、スルーホール 77 に埋め込まれたプラグ 70 と、スルーホール 77 の底面上および側面上に位置する高融点金属の窒化物層 72 と、を含む。プラグ 70 の材料としては、例えば、タングステンがある。高融点金属の窒化物層 72 の材料としては、例えば、チタンナイトライドがある。高融点金属の窒化物層 72 は、主にバリア層として機能する。スルーホール 77 の上端部の径は、例えば、 $0.32\mu\text{m}$  であり、下端部の径は、例えば、 $0.24\mu\text{m}$  である。

## 【0053】

コンタクト導電部 75 について説明する。コンタクト導電部 75 の平面パターンは、図 7 に示すとおりである。コンタクト導電部 75 は、図 12 に示すように、ドレインードレイン接続層 31a の端部 31a1、ドレインードレイン接続層 31b の端部 31b2、 $V_{DD}$  配線 33 の分岐部 33a、33b、BL コンタクトパッド層 35a、35b、 $V_{SS}$  局所配線 37 に接続されている。コンタクト導電部 75 の断面を、図 14 を用いて説明する。コンタクト導電部 75 は、層間絶縁層 71 を貫通するスルーホール 79 に埋め込まれている。この断面において、コンタクト導電部 75 は、ドレインードレイン接続層 31b、BL コンタクトパッド層 35b と接続されている。コンタクト導電部 75 の構成要素は、コンタクト導電部 61、73 と同じである。スルーホール 79 の上端部の径は、例えば、 $0.30\mu\text{m}$  であり、下端部の径は、例えば、 $0.24\mu\text{m}$  である。

## 【0054】

## {第 3 層導電層}

第 3 層導電層は、図 12 に示す構造上に位置する。第 3 層導電層は、図 8 に示すように、複数のドレインーゲート接続層 41a、41b、主ワード線 43、複数の BL コンタクトパッド層 45a、45b、複数の  $V_{SS}$  コンタクトパッド層 47、複数の  $V_{DD}$  コンタクトパッド層 49 が配置されている。

## 【0055】

ドレインーゲート接続層 41a は、本体部 41a3 と二つの端部 41a1、41a2 とを有する。本体部 41a3 は、図 8 中、x 軸方向に延びている部分であ

る。端部 4 1 a 1 は、ドレインゲート接続層 4 1 b 側に曲がっている部分である。同様に、ドレインゲート接続層 4 1 b は、本体部 4 1 b 3 と二つの端部 4 1 b 1、4 1 b 2 とを有する。本体部 4 1 b 3 は、図 8 中、x 軸方向に延びている部分である。端部 4 1 b 1 は、ドレインゲート接続層 4 1 a 側に曲がっている部分である。一組のドレインゲート接続層 4 1 a、4 1 b が、一つのメモリセル領域に配置される。

## 【 0 0 5 6 】

B L コンタクトパッド層 4 5 a は、ビット線と  $n^+$  型ソース／ドレイン領域 1 1 a とを接続するためのパッド層として機能する。同様に、B L コンタクトパッド層 4 5 b は、ビット線／と  $n^+$  型ソース／ドレイン領域 1 1 a とを接続するためのパッド層として機能する。B L コンタクトパッド層 4 5 a、4 5 b は、二つのメモリセルにつき、それぞれ、一つが配置される。

## 【 0 0 5 7 】

$V_{SS}$  コンタクトパッド層 4 7 は、図 8 中、y 軸方向に延び、二つの端部を有する。 $V_{SS}$  コンタクトパッド層 4 7 は、B L コンタクトパッド層 4 5 a と B L コンタクトパッド層 4 5 b との間に位置する。 $V_{SS}$  コンタクトパッド層 4 7 は、二つのメモリセルにつき、一つが配置される。

## 【 0 0 5 8 】

主ワード線 4 3 は、図 8 中、x 軸方向に、直線状に延びている。主ワード線 4 3 は、図 5 に示す  $V_{DD}$  配線 3 3 の上方に位置する。 $V_{DD}$  コンタクトパッド層 4 9 は、図 5 に示す  $V_{DD}$  配線 3 3 の分岐部 3 3 a、3 3 b の上方に位置する。なお、本実施形態では、ワード線を副ワード線 2 3 (図 3 参照) と主ワード線 4 3 (図 8 参照) からなる構造としているが、主ワード線を設けない構造でもよい。

## 【 0 0 5 9 】

ドレインゲート接続層 4 1 a の端部 4 1 a 1、ドレインゲート接続層 4 1 b の端部 4 1 b 1 は、それぞれ、図 1 2 に示すコンタクト導電部 7 3 と接続されている。この接続を、図 8 ではコンタクト部 7 3 m で表す。また、ドレインゲート接続層 4 1 a の端部 4 1 a 2、ドレインゲート接続層 4 1 b の端部 4 1 b 2、B L コンタクトパッド層 4 5 a、4 5 b、 $V_{SS}$  コンタクトパッド層 4 7、V

$V_{DD}$ コンタクトパッド層49は、図12に示すコンタクト導電部75と接続されている。この接続を、図8ではコンタクト部75mで表す。

#### 【0060】

図8に示す第3層のB1-B2断面、C1-C2断面は、それぞれ、図14、図15に示すとおりである。この断面には、ドレインゲート接続層41a、41b、BLコンタクトパッド層45b、主ワード線43が表れている。これらを含む第3層導電層は、例えば、下から順に、高融点金属の窒化物層42、金属層44、高融点金属からなる金属層46、高融点金属の窒化物層48が積層された構造を有する。各層の具体例は、次のとおりである。高融点金属の窒化物層42としては、例えば、チタンナイトライド層がある。金属層44としては、例えば、アルミニウム層、銅層または、これらの合金層がある。高融点金属からなる金属層46としては、例えば、チタン層がある。高融点金属の窒化物層48としては、例えば、チタンナイトライド層がある。

#### 【0061】

第3層導電層上には、シリコン酸化層からなるハードマスク層40が形成されている。ハードマスク層40をマスクとして、第3層の導電層のパターンニングがなされる。これは、メモリセルの小型化により、レジストのみをマスクとして、第3層導電層のパターンニングをするのが困難だからである。

#### 【0062】

第3層導電層を覆うように、例えば、シリコン酸化層のような層間絶縁層が形成されている。図14および図15に示すように、この層間絶縁層85は、CMPにより平坦化の処理がなされている。層間絶縁層85には、BLコンタクトパッド層45a等が露出するスルーホール83が形成されている。スルーホール83には、コンタクト導電部81が埋め込まれている。これを図示した平面図が図13である。コンタクト導電部81は、図13に示すように、BLコンタクトパッド層45a、45b、 $V_{SS}$ コンタクトパッド層47、 $V_{DD}$ コンタクトパッド層49に接続されている。コンタクト導電部81の平面パターンは、図9に示すとおりである。コンタクト導電部81の構成要素は、コンタクト導電部61、73、75と同じである。スルーホール83の上端部の径は、例えば、 $0.36\mu m$

であり、下端部の径は、例えば、 $0.28\mu\text{m}$ である。

#### 【0063】

##### {第4層導電層}

第4層導電層は、図13に示す構造上に位置する。第4層導電層は、図10に示すように、複数のビット線51、複数のビット線/53、複数の $V_{SS}$ 配線55、 $V_{DD}$ 配線57が配置されている。 $V_{SS}$ 配線55は、ビット線51とビット線/53との間であって、メモリセル中央に配置されている。 $V_{DD}$ 配線57は、x方向に並ぶ、例えば、32メモリセル毎に一本が配置されている。これらは、図10中、y軸方向に、直線状に延びている。これらは、それぞれ、図13に示すコンタクト導電部81と接続されている。この接続を、図10ではコンタクト部81mで表す。ビット線51等は、例えば、下から順に、チタンナイトライド層、アルミニウム-銅合金層、チタンナイトライド層が積層された構造を有する。

#### 【0064】

図10に示す第4層のB1-B2断面は、図14に示すとおりである。この断面には、ビット線/53が表れている。ビット線/53には、ビット線51に流れる信号と相補の信号が流れる。以上が本実施形態の構造の詳細である。

#### 【0065】

なお、図1～図13に示されているパターンは、設計パターンである。これらのパターンは角部を有する。しかし、実際に半導体基板上に形成されるパターンは、光の近接効果により、角部を規定する線が曲線になっている。

#### 【0066】

##### [ロジック回路部5の構造]

図16は、SRAM部3の一部およびロジック回路部5の一部の断面図である。SRAM部3の一部の断面は、図14に示す断面のことである。但し、図16においては、詳細な構造を省略している。SRAM部3の一部の断面もあらわしたのは、ロジック回路部5の各層とSRAM部3の各層との対応関係を説明するためである。ロジック回路部5における符号が示す要素のうち、SRAM部3における符号が示す要素と同じものについては、同一符号を付している。

#### 【0067】



ロジック回路部 5 と S R A M 部 3 とは、同一のシリコン基板上に形成されている。ロジック回路部 5 には、M O S 電界効果トランジスタ 1 0 0 があらわれている。ロジック回路部 5 には、この回路の機能を実現するのに必要な素子が形成される。M O S 電界効果トランジスタ 1 0 0 は、ゲート電極 2 5 と、一対の  $n^+$  型ソース／ドレイン領域 1 1 a と、を備える。ゲート電極 2 5 は、副ワード線 2 3 と同じ層に位置している。ゲート電極 2 5 は、副ワード線 2 3 と同時に形成されるので、ゲート電極 2 5 の構成要素は、副ワード線 2 3 と同じである。ゲート電極 2 5 を覆うように、層間絶縁層 6 5 が位置している。

## 【 0 0 6 8 】

ロジック回路部 5 において、層間絶縁層 6 5 上には、配線層が形成されていない。層間絶縁層 6 5 上に層間絶縁層 7 1 が位置している。層間絶縁層 6 5 および層間絶縁層 7 1 を貫通するように、二つのコンタクトホール 8 7 が形成されている。コンタクトホール 8 7 の一方は、 $n^+$  型ソース／ドレイン領域 1 1 a の一方に到達している。コンタクトホール 8 7 の他方は、 $n^+$  型ソース／ドレイン領域 1 1 a の他方に到達している。コンタクトホール 8 7 は、図 1 5 に示すスルーホール 7 7 と同時に形成される。なお、図示はされていないが、層間絶縁層 6 5 および層間絶縁層 7 1 を貫通し、ゲート電極 2 5 へ到達するコンタクトホールも形成されている。このコンタクトホールはコンタクトホール 8 7 と同時に形成される。

## 【 0 0 6 9 】

コンタクトホール 8 7 の上端部の径は、例えば、 $0.32\mu\text{m}$  であり、下端部の径は、例えば、 $0.22\mu\text{m}$  であり、深さは、 $1.0\mu\text{m}$  である。コンタクトホール 8 7 のアスペクト比（コンタクトホール 8 7 の深さ／コンタクトホール 8 7 の下端部の径）は、約 4.5 である。コンタクトホール 8 7 には、コンタクト導電部 8 9 が埋め込まれている。コンタクト導電部 8 9 は、図 1 5 に示すコンタクト導電部 7 3 と同時に形成されるので、コンタクト導電部 8 9 の構成要素は、コンタクト導電部 7 3 と同じである。

## 【 0 0 7 0 】

層間絶縁層 7 1 上には、第 1 層配線層 9 0 や配線コンタクトパッド 9 1 が位置

している。配線コンタクトパッドとは、配線層と $n^+$ 型ソース／ドレイン領域 1 1 a との接続に用いられる導電層である。配線コンタクトパッド 9 1 は、一方のコンタクト導電部 8 9 と接続されている。第 1 層配線層 9 0 は、他方のコンタクト導電部 8 9 と接続されている。第 1 層配線層 9 0 および配線コンタクトパッド 9 1 は、ドレインゲート接続層 4 1 b や B L コンタクトパッド層 4 5 b と同じ層に位置している。第 1 層配線層 9 0 および配線コンタクトパッド 9 1 は、ドレインゲート接続層 4 1 b や B L コンタクトパッド層 4 5 b と同時に形成されるので、第 1 層配線層 9 0 および配線コンタクトパッド 9 1 の構成要素は、ドレインゲート接続層 4 1 b や B L コンタクトパッド層 4 5 b と同じである。

## 【 0 0 7 1 】

第 1 層配線層 9 0 および配線コンタクトパッド 9 1 を覆うように、層間絶縁層 8 5 が位置している。層間絶縁層 8 5 中には、二つのコンタクト導電部 8 1 が形成されている。一方のコンタクト導電部 8 1 は、配線コンタクトパッド 9 1 と接続されている。他方のコンタクト導電部 8 1 は、第 1 層配線層 9 0 と接続されている。

## 【 0 0 7 2 】

層間絶縁層 8 5 上には、第 2 層配線層 9 2 や配線コンタクトパッド 9 3 が位置している。配線コンタクトパッド 9 3 は、一方のコンタクト導電部 8 1 と接続されている。第 2 層配線層 9 2 は、他方のコンタクト導電部 8 1 と接続されている。第 2 層配線層 9 2 および配線コンタクトパッド 9 3 は、ビット線／5 3 と同じ層に位置している。第 2 層配線層 9 2 および配線コンタクトパッド 9 3 は、ビット線／5 3 と同時に形成されるので、第 2 層配線層 9 2 および配線コンタクトパッド 9 3 の構成要素は、ビット線／5 3 と同じである。

## 【 0 0 7 3 】

第 2 層配線層 9 2、配線コンタクトパッド 9 3 およびビット線／5 3 を覆うように、層間絶縁層 9 4 が位置している。層間絶縁層 9 4 の構成要素は、層間絶縁層 8 5 と同じである。層間絶縁層 9 4 中には、コンタクト導電部 9 5 が形成されている。コンタクト導電部 9 5 は、配線コンタクトパッド 9 3 と接続されている。コンタクト導電部 9 5 の構成要素は、コンタクト導電部と同じである。層間絶

縁層 9 4 上には、第 3 層配線層 9 6 が位置している。第 3 層配線層 9 6 は、コンタクト導電部 9 5 と接続されている。第 3 層配線層 9 6 の構成要素は、第 2 層配線層 9 2 と同じである。

#### 【 0 0 7 4 】

なお、ロジック回路部 5 の配線構成として、第 3 層配線層 9 6 およびコンタクト導電部 9 5 を設けない構成でもよいし、また、第 3 層配線層 9 6 の他、第 4 層配線層や第 5 層配線層を設ける構成でもよい。

#### 【 0 0 7 5 】

##### 〔本実施形態の主な効果〕

本実施形態の主な効果を説明する。

#### 【 0 0 7 6 】

{ 1 } 本実施形態によれば、S R A M 部のメモリセルの小型化を図ることができる。本実施形態では、メモリセルのフリップフロップで情報の記憶を行う。フリップフロップは、一方のインバータの入力端子（ゲート電極）を他方のインバータの出力端子（ドレイン）に接続し、かつ他方のインバータの入力端子（ゲート電極）を一方のインバータの出力端子（ドレイン）に接続することにより、構成される。つまり、フリップフロップは、第 1 のインバータと第 2 のインバータをクロスカップル接続したものである。フリップフロップを二層で作製する場合、例えば、インバータのドレイン同士を接続するドレイン—ドレイン接続層と、インバータのゲートとインバータのドレインを接続するドレイン—ゲート接続層と、を一つの導電層にすることにより、クロスカップル接続ができる。

#### 【 0 0 7 7 】

しかし、この構造によれば、この導電層は、一方のインバータのドレインが位置する領域と、他方のインバータのゲートが位置する領域と、これらを連結する領域と、にわたって形成される。よって、この導電層は、三つ端部を有するパターン（例えば、T 字状や h 字状のような分岐部を有するパターン）や、互いに腕部分が入り込み合った渦巻き状のパターンとなる。なお、T 字状のパターンとしては、例えば、特開平 1 0 - 4 1 4 0 9 号公報の図 1 に開示されている。h 字状のパターンとしては、例えば、M. I shida, et. al., I E D M Tech. Digest (199

8)、第201頁の図4 (b)に開示されている。渦巻き状のパターンとしては、例えば、M. Ishida, et. al., IEDM Tech. Digest (1998)、第201頁の図3 (b)に開示されている。このような複雑なパターンは、パターンが微細化すると、フォトエッチング工程での正確な形状再現が困難となるので、所望のパターンが得られず、メモリセルサイズの小型化の妨げとなる。

## 【0078】

本実施形態によれば、図1に示すように、CMOSインバータのゲートとなるゲート電極層(21a、21b)、CMOSインバータのドレイン同士を接続するドレインードレイン接続層(31a、31b)、一方のCMOSインバータのゲートと他方のCMOSインバータのドレインとを接続するドレインーゲート接続層(41a、41b)を、それぞれ、異なる層に形成している。したがって、フリップフロップを形成するのに、三層が用いられることになる。よって、二層を用いてフリップフロップを形成する場合に比べて、各層のパターンを単純化(例えば、直線状に)することができる。このように、本実施形態によれば、各層のパターンを単純化できるので、例えば、 $0.18\mu\text{m}$ 世代において、メモリセルサイズが、 $4.5\mu\text{m}^2$ 以下の微細なSRAMにすることができる。

## 【0079】

{2} 本実施形態によれば、ロジック回路部5の高速化が可能となる。すなわち、図16に示すように、本実施形態は、ドレインードレイン接続層31a、31bに、高融点金属の窒化物層(チタンナイトライド層)を用いている。高融点金属の窒化物層は、電気抵抗が比較的高い。このため、高融点金属の窒化物層をロジック回路部5の配線層として用いると、ロジック回路部5の高速化を図れない。通常、同じレベルに位置する層は、同一の工程で作製される。ロジック回路部5において、ドレインードレイン接続層31a、31bと同じレベルの位置に配線層を有すると、配線層は高融点金属の窒化物層となる。本実施形態は、ロジック回路部5において、ドレインードレイン接続層31a、31bと同じレベルの位置に配線層を有さないので、ロジック回路部5の高速化を図れるのである。

## 【0080】

また、ロジック回路部 5 のコンタクトホール 8 7 に埋め込まれるコンタクト導電部 8 9 は、例えば、タングステンプラグである。一方、SRAM 部 3 において、コンタクト導電部 6 1 とコンタクト導電部 7 5 との間には、高融点金属の窒化物層からなるコンタクトパッド層 3 5 b が介在している。一般に、コンタクトパッド層を介しない構造のほうが、コンタクトパッド層を介する構造よりも、コンタクト抵抗が低い。この点からもロジック回路部 5 の高速化を図ることができる。

【図面の簡単な説明】

【図 1】

本実施形態の SRAM 部のメモリセルアレイの一部における第 1 層導電層、第 2 層導電層および第 3 層導電層を示す平面図である。

【図 2】

本実施形態の SRAM 部のメモリセルアレイの一部におけるフィールドを示す平面図である。

【図 3】

本実施形態の SRAM 部のメモリセルアレイの一部における第 1 層導電層を示す平面図である。

【図 4】

本実施形態の SRAM 部のメモリセルアレイの一部におけるコンタクト導電部 6 1 を示す平面図である。

【図 5】

本実施形態の SRAM 部のメモリセルアレイの一部における第 2 層導電層を示す平面図である。

【図 6】

本実施形態の SRAM 部のメモリセルアレイの一部におけるコンタクト導電部 7 3 を示す平面図である。

【図 7】

本実施形態の SRAM 部のメモリセルアレイの一部におけるコンタクト導電部 7 5 を示す平面図である。

【図 8】

本実施形態の S R A M 部のメモリセルアレイの一部における第 3 層導電層を示す平面図である。

【図 9】

本実施形態の S R A M 部のメモリセルアレイの一部におけるコンタクト導電部 8 1 を示す平面図である。

【図 1 0】

本実施形態の S R A M 部のメモリセルアレイの一部における第 4 層導電層を示す平面図である。

【図 1 1】

本実施形態の S R A M 部における、フィールド、第 1 層導電層、コンタクト導電部 6 1 を示す平面図である。

【図 1 2】

本実施形態の S R A M 部における、第 2 層導電層、コンタクト導電部 7 3、7 5 を示す平面図である。

【図 1 3】

本実施形態の S R A M 部における、第 3 層導電層、コンタクト導電部 8 1 を示す平面図である。

【図 1 4】

本実施形態の S R A M 部の平面の B 1 - B 2 線に沿った断面図である。

【図 1 5】

本実施形態の S R A M 部の平面の C 1 - C 2 線に沿った断面図である。

【図 1 6】

本実施形態における S R A M 部の一部およびロジック回路部の一部の断面図である。

【図 1 7】

本実施形態における S R A M の等価回路図である。

【図 1 8】

本実施形態における半導体装置の平面図である。

【符号の説明】

- 1 半導体装置
- 3 S R A M 部
- 5 ロジック回路部
- 1 1、1 3、1 5、1 7 活性領域
- 1 1 a  $n^+$ 型ソース／ドレイン領域
- 1 3 a  $p^+$ 型ソース／ドレイン領域
- 1 5 a  $n^+$ 型ウェルコンタクト領域
- 1 7 a  $p^+$ 型ウェルコンタクト領域
- 1 9 素子分離領域
- 2 1 a、2 1 b ゲート電極層
- 2 3 副ワード線
- 2 5 ゲート電極
- 3 0 高融点金属からなる金属層
- 3 1 a、3 1 b ドレインードレイン接続層
- 3 1 a 1、3 1 a 2、3 1 b 1、3 1 b 2 端部
- 3 1 a 3、3 1 b 3 本体部
- 3 2 高融点金属の窒化物層
- 3 3  $V_{DD}$ 配線
- 3 3 a、3 3 b 分岐部
- 3 5 a、3 5 b B Lコンタクトパッド層
- 3 7  $V_{SS}$ 局所配線
- 4 0 ハードマスク層
- 4 1 a、4 1 b ドレインーゲート接続層
- 4 1 a 1、4 1 a 2、4 1 b 1、4 1 b 2 端部
- 4 1 a 3、4 1 b 3 本体部
- 4 2 高融点金属の窒化物層
- 4 3 主ワード線
- 4 4 金属層

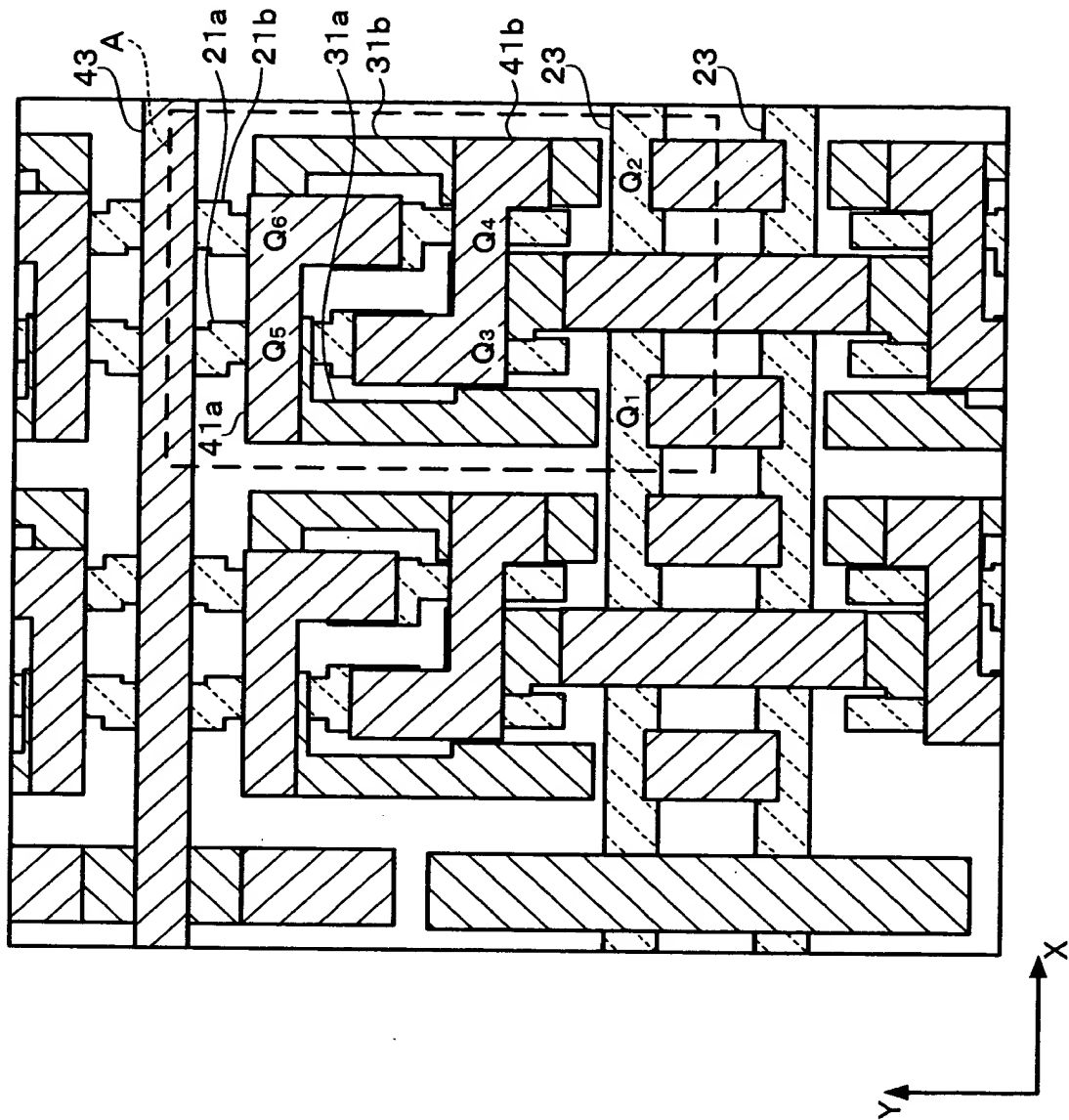
- 4 5 a、4 5 b    B Lコンタクトパッド層
- 4 6    高融点金属からなる金属層
- 4 7     $V_{SS}$ コンタクトパッド層
- 4 8    高融点金属の窒化物層
- 4 9     $V_{DD}$ コンタクトパッド層
- 5 1    ビット線
- 5 3    ビット線／
- 5 5     $V_{SS}$ 配線
- 5 7     $V_{DD}$ 配線
- 6 0    プラグ
- 6 1    コンタクト導電部
- 6 1 m    コンタクト部
- 6 2    高融点金属の窒化物層
- 6 3    コンタクトホール
- 6 5    層間絶縁層
- 7 0    プラグ
- 7 1    層間絶縁層
- 7 2    高融点金属の窒化物層
- 7 3    コンタクト導電部
- 7 3 m    コンタクト部
- 7 5    コンタクト導電部
- 7 5 m    コンタクト部
- 7 7、7 9    スルーホール
- 8 1    コンタクト導電部
- 8 1 m    コンタクト部
- 8 3    スルーホール
- 8 5    層間絶縁層
- 8 7    コンタクトホール
- 8 9    コンタクト導電部



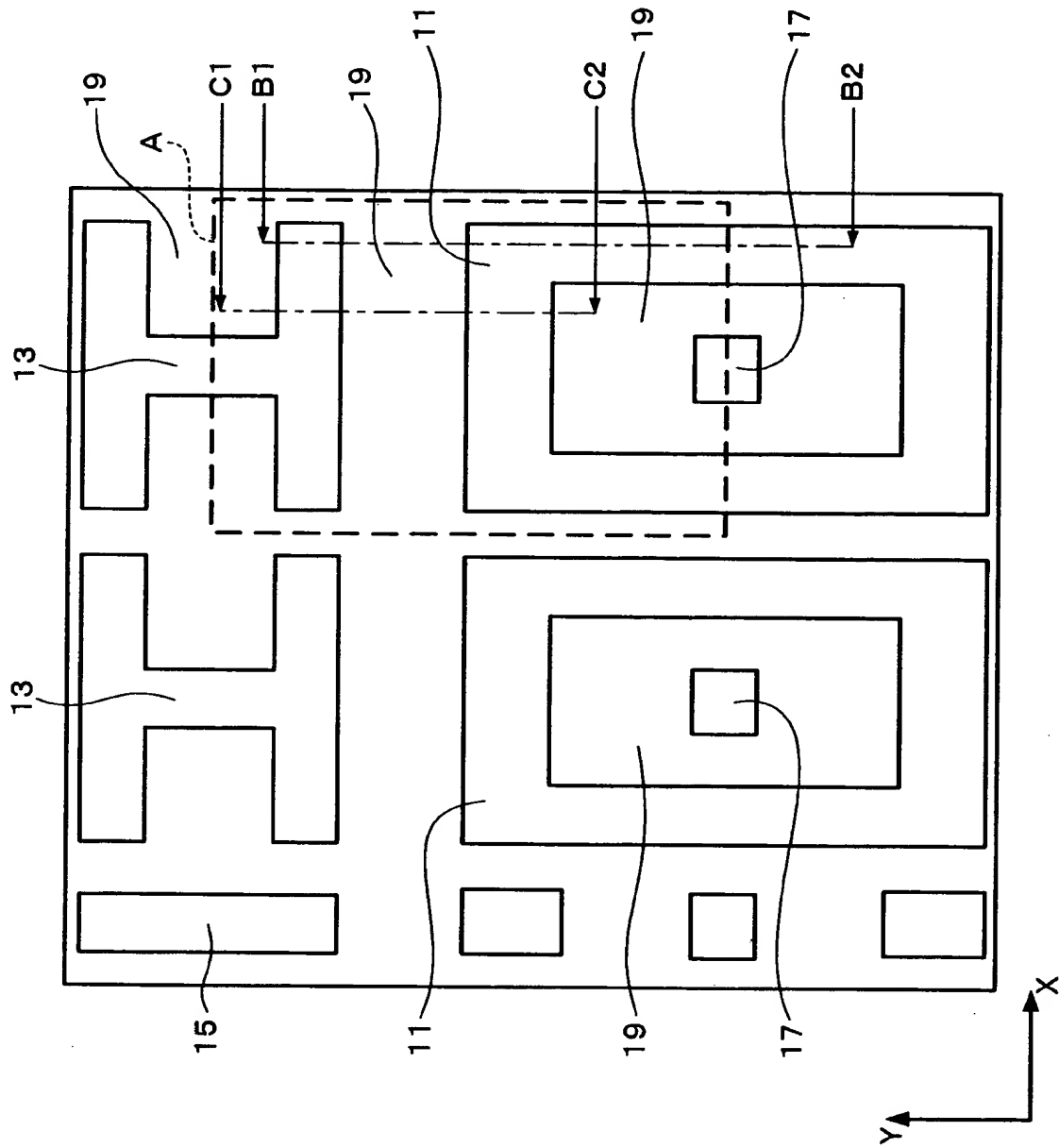
- 9 0 第 1 層配線層
- 9 1 配線コンタクトパッド層
- 9 2 第 2 層配線層
- 9 3 配線コンタクトパッド層
- 9 4 層間絶縁層
- 9 5 コンタクト導電部
- 9 6 第 3 層配線層
- 1 0 0 M O S 電界効果トランジスタ

【書類名】 図面

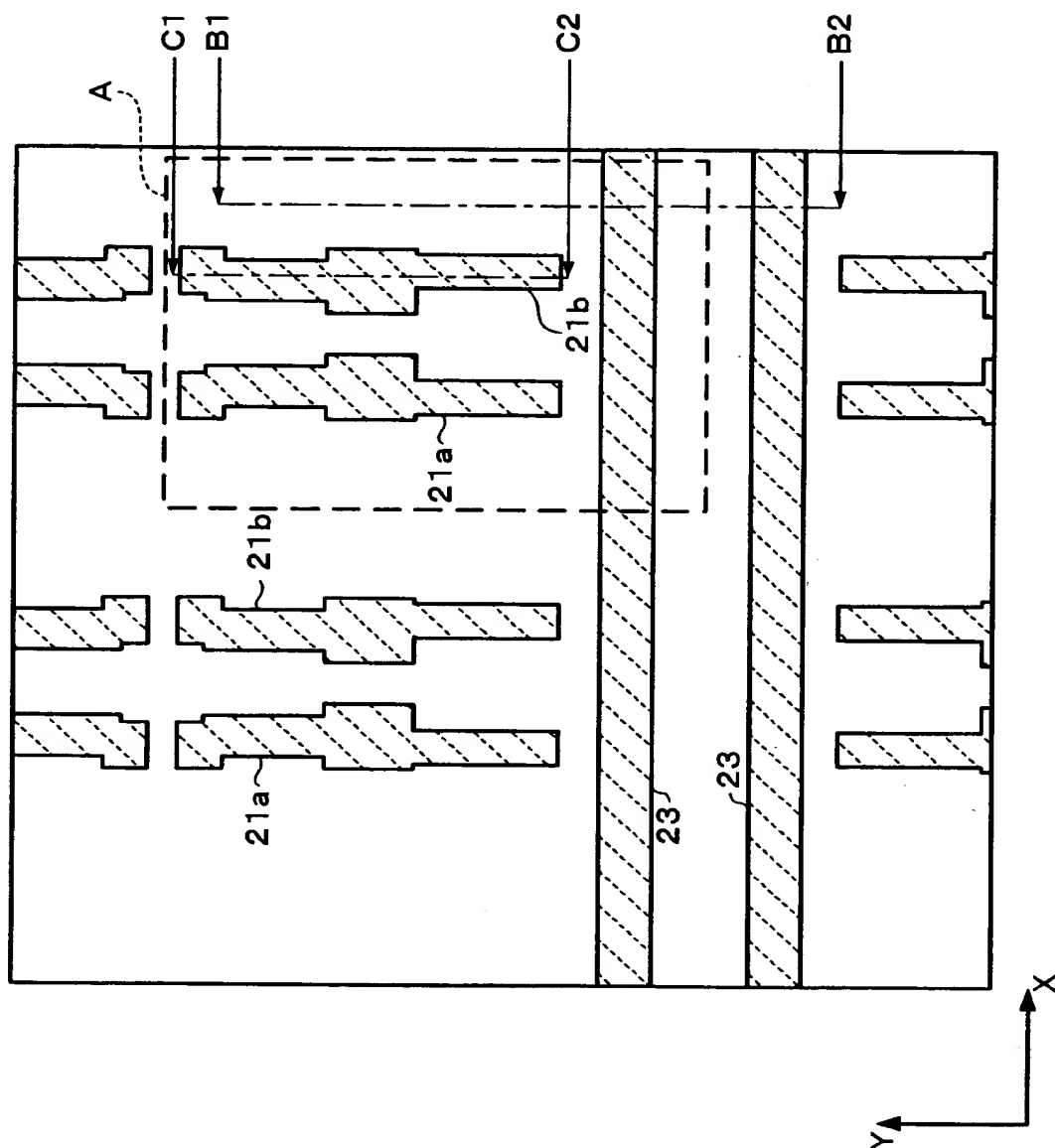
【図 1】



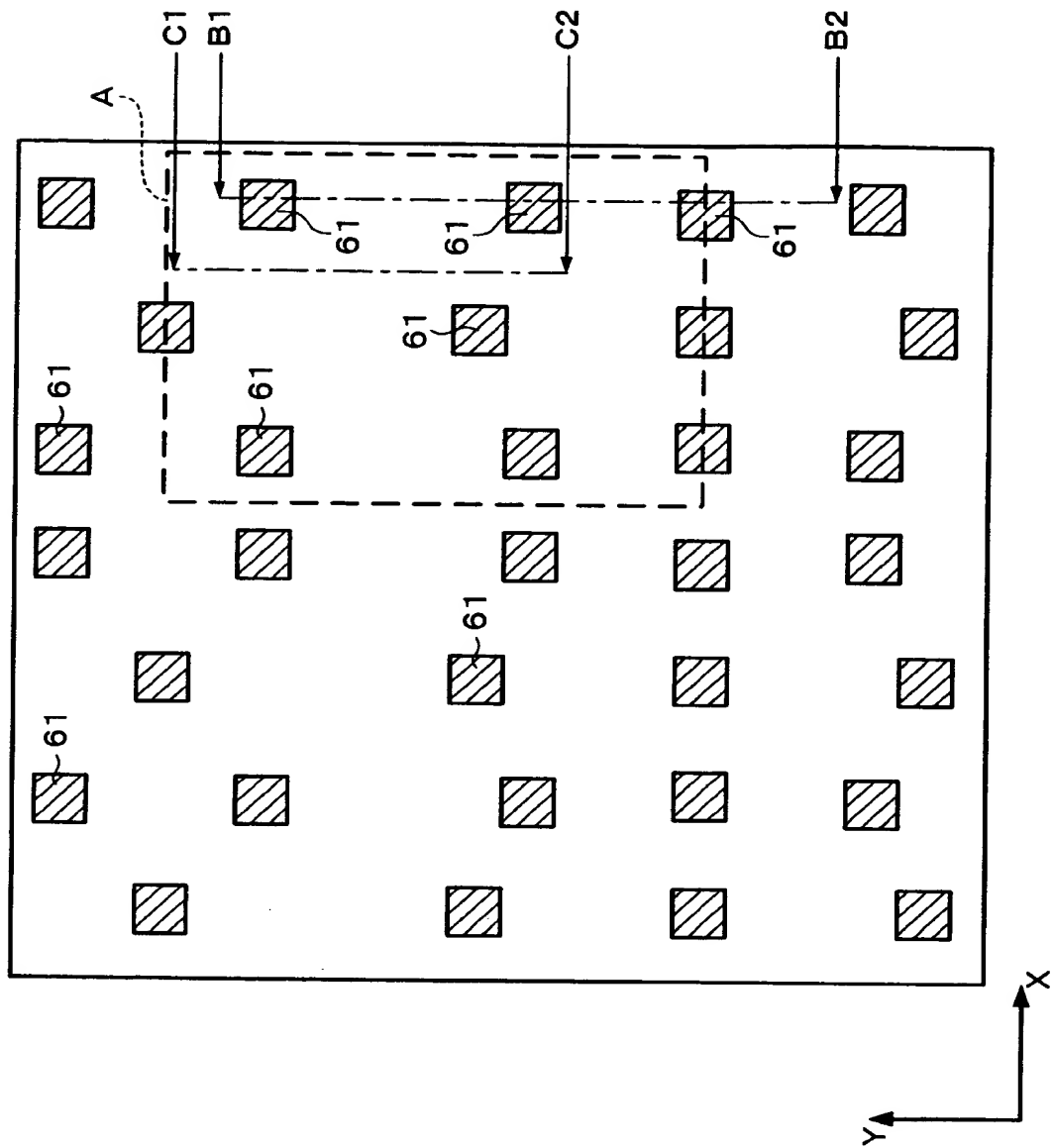
【図 2】



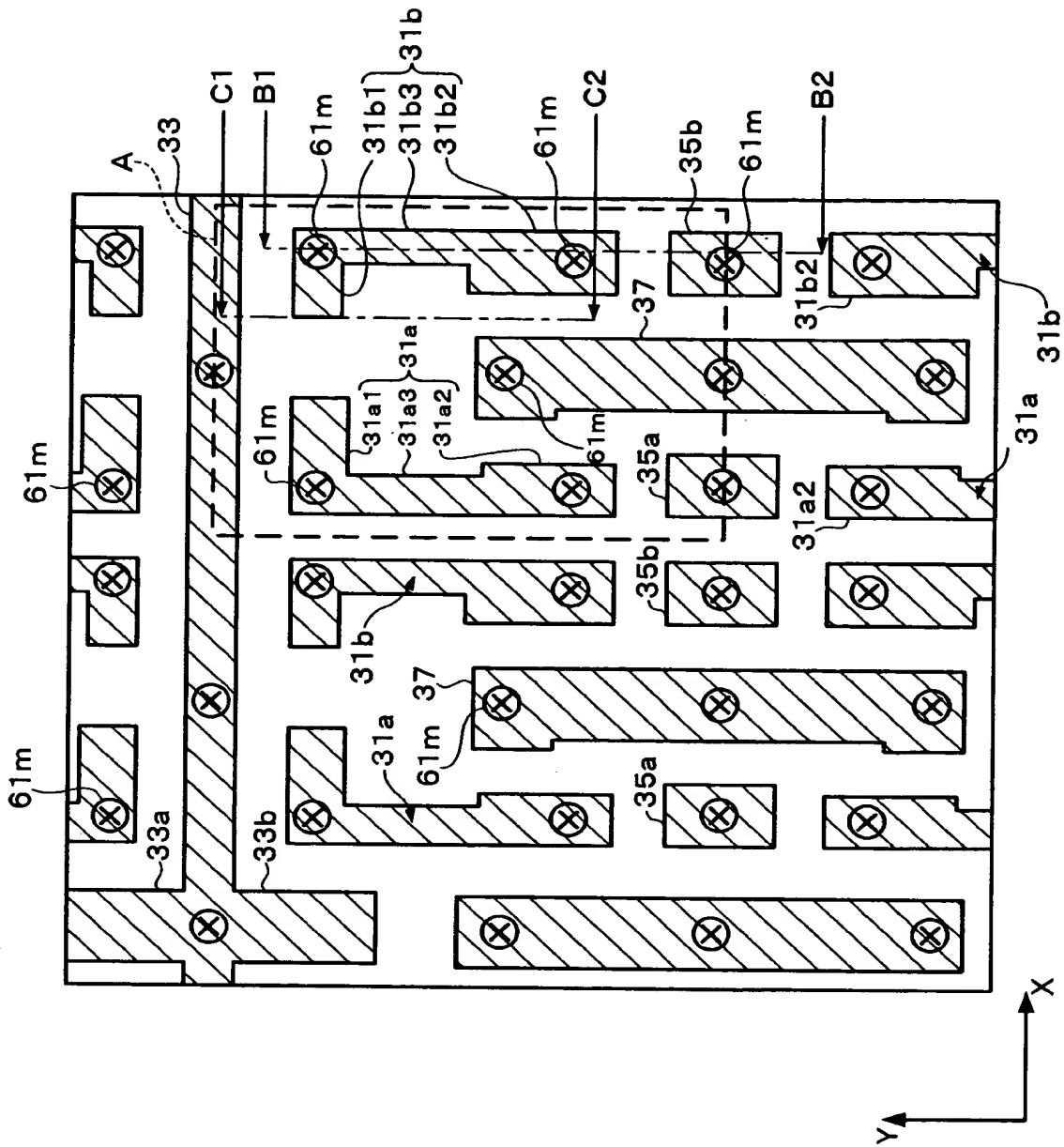
【図 3】



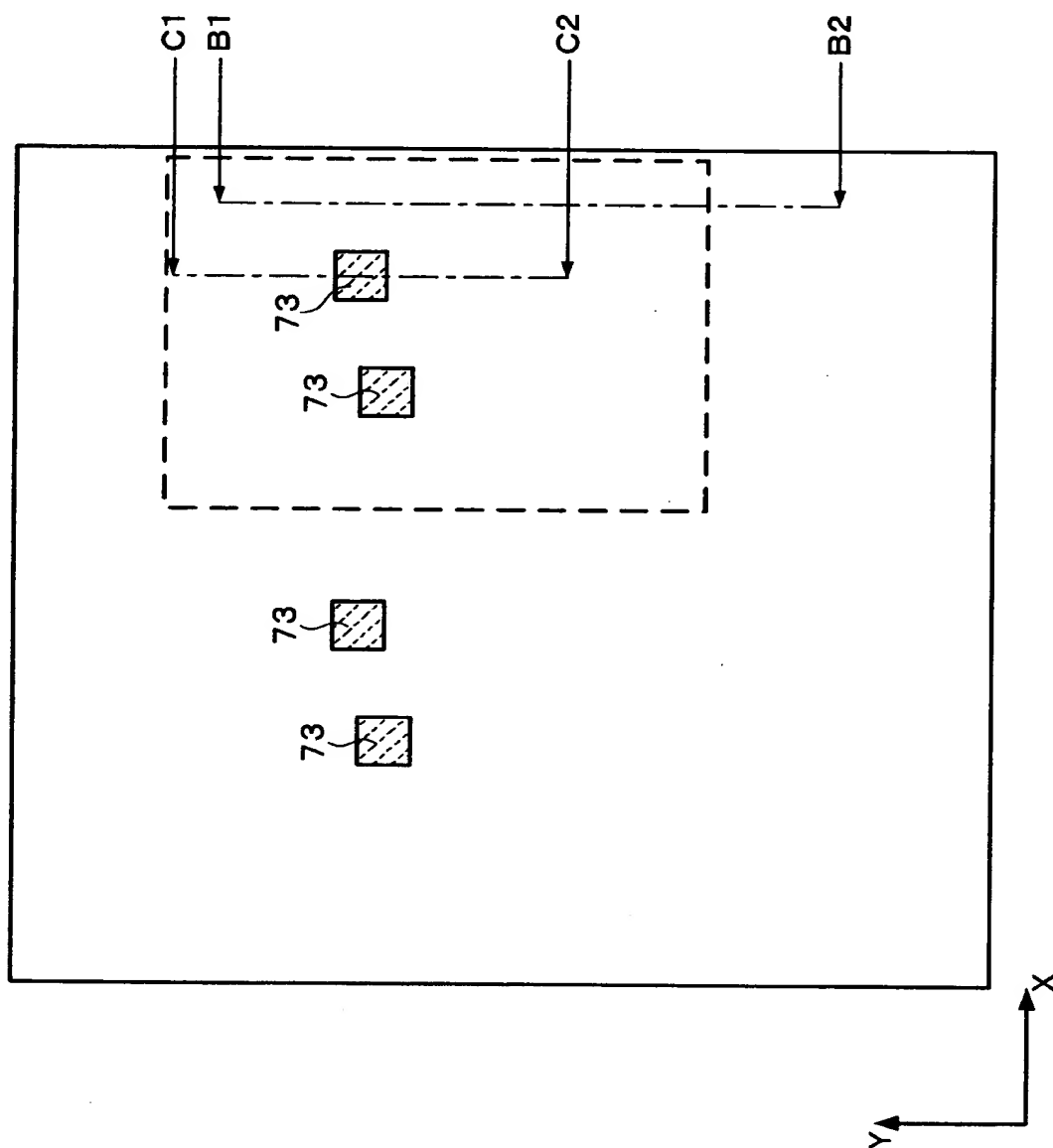
【図 4】



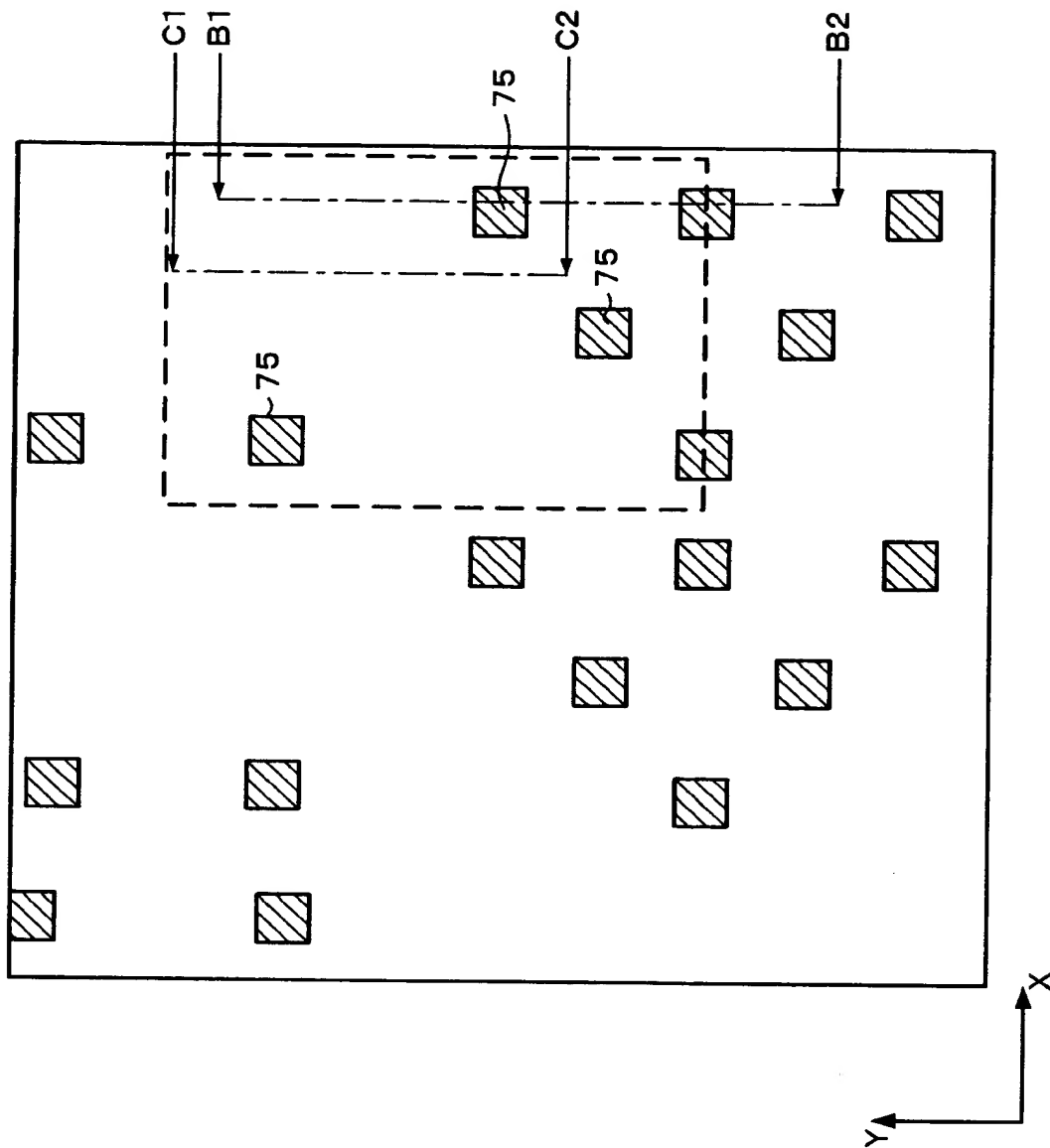
【図 5】



【図 6】

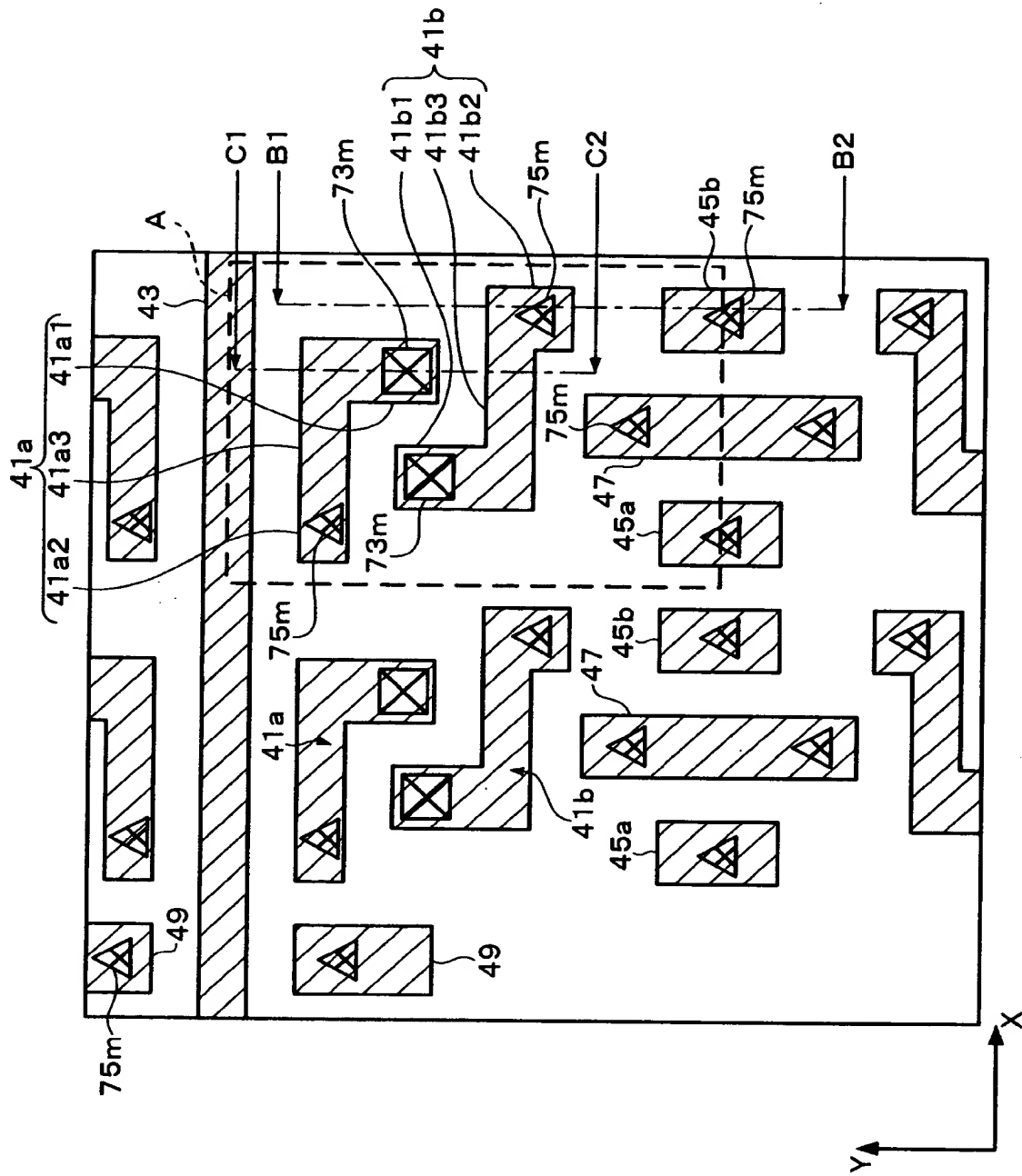


【图 7】

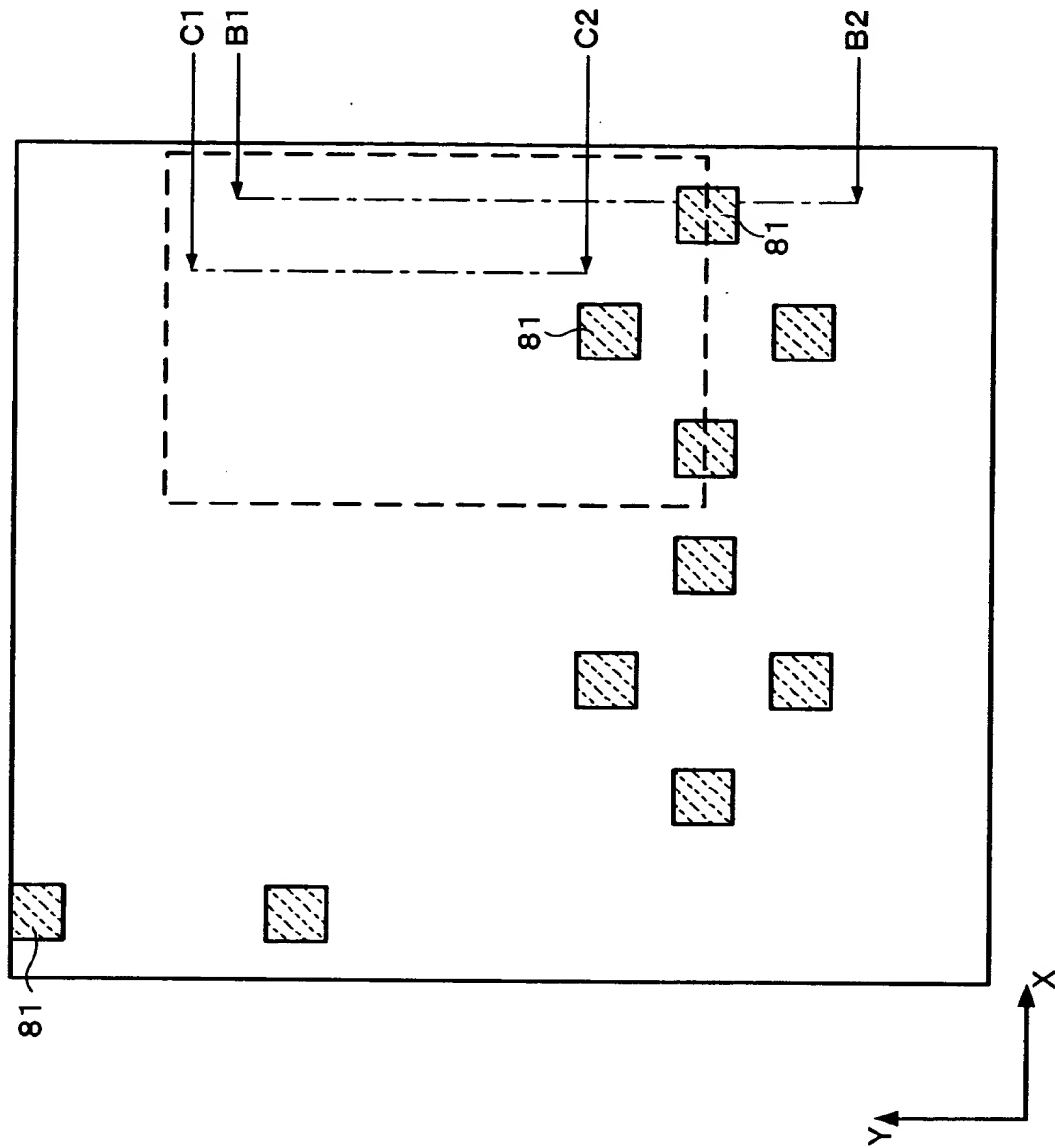




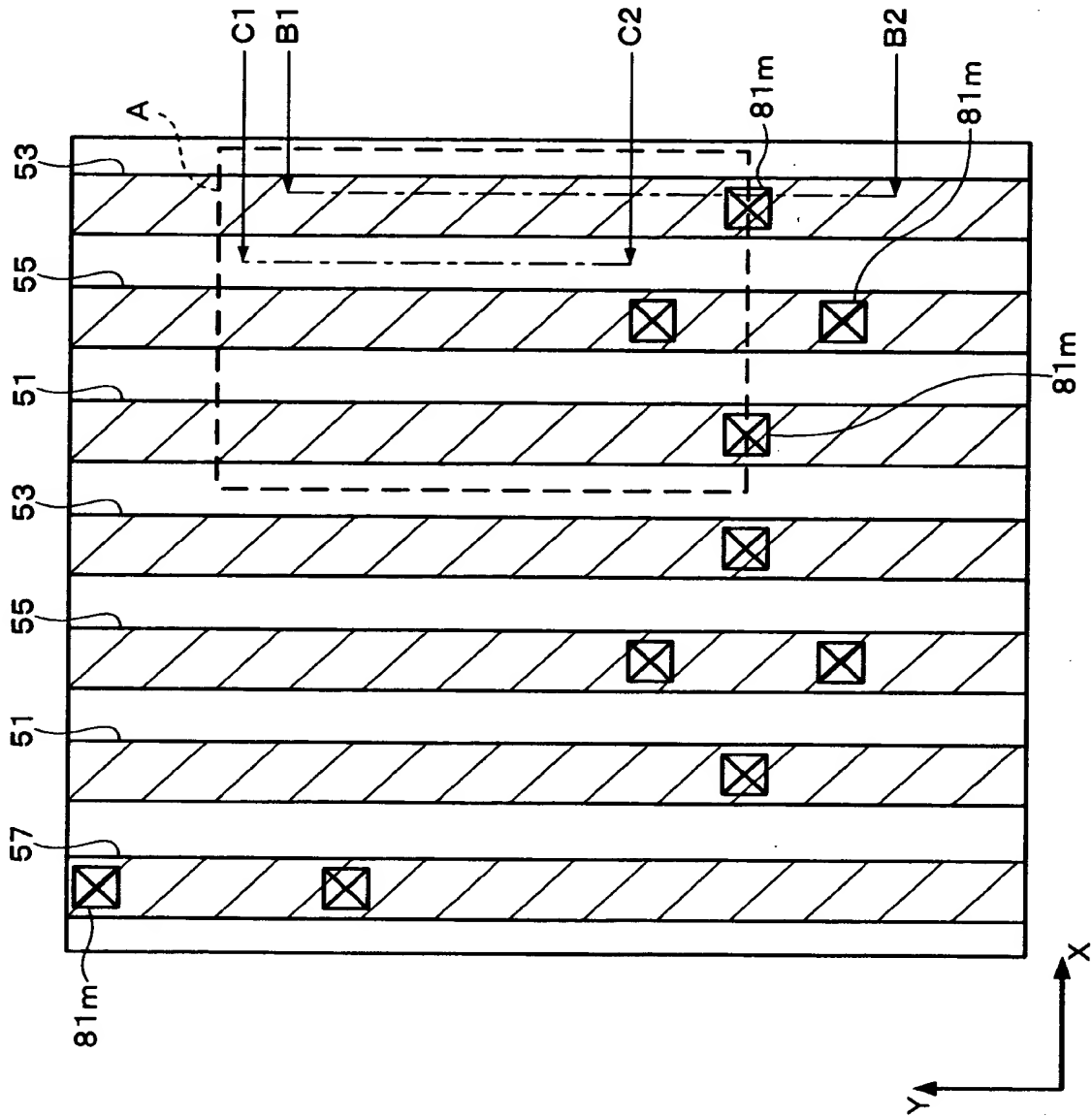
【図 8】



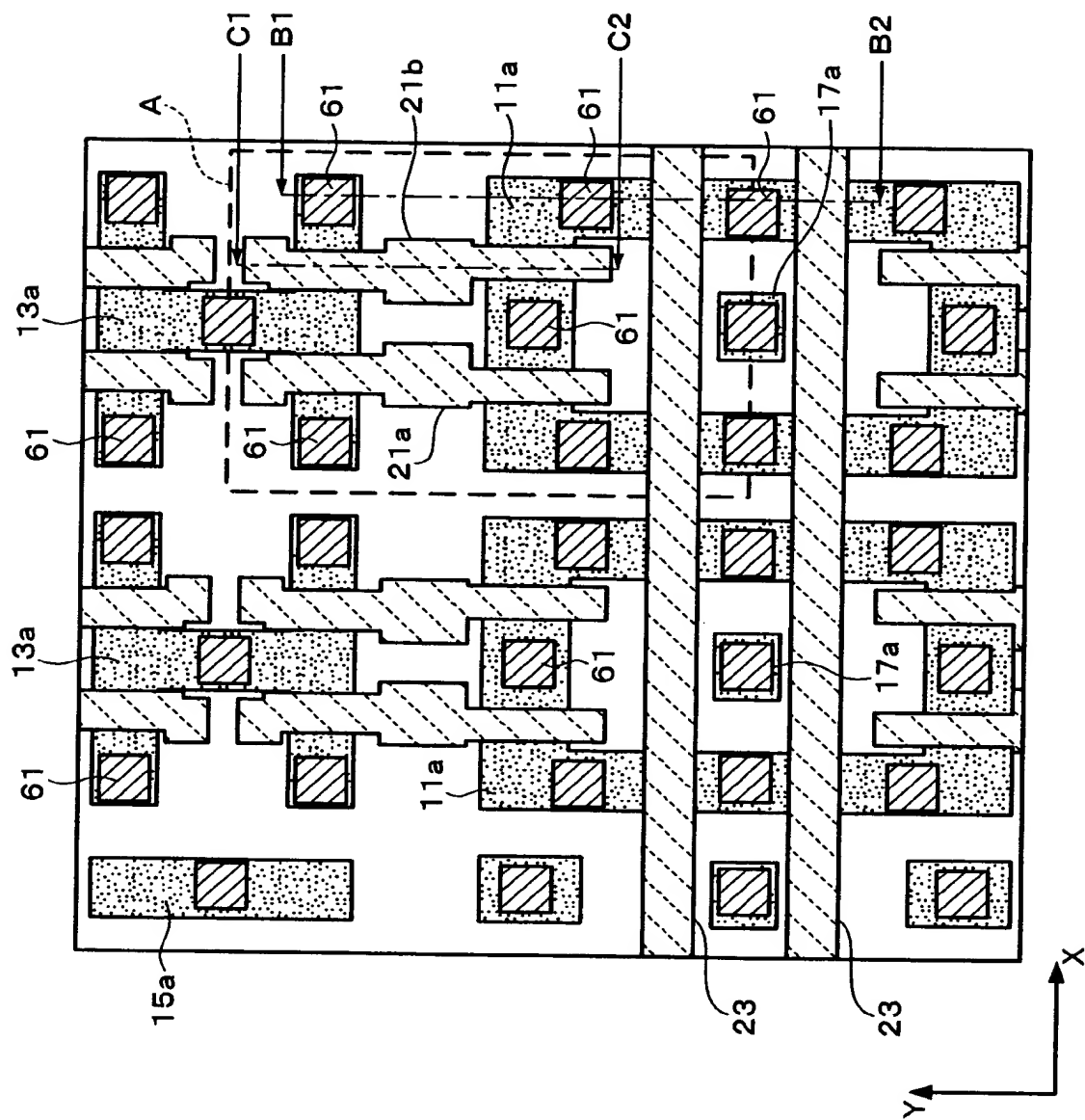
【図9】



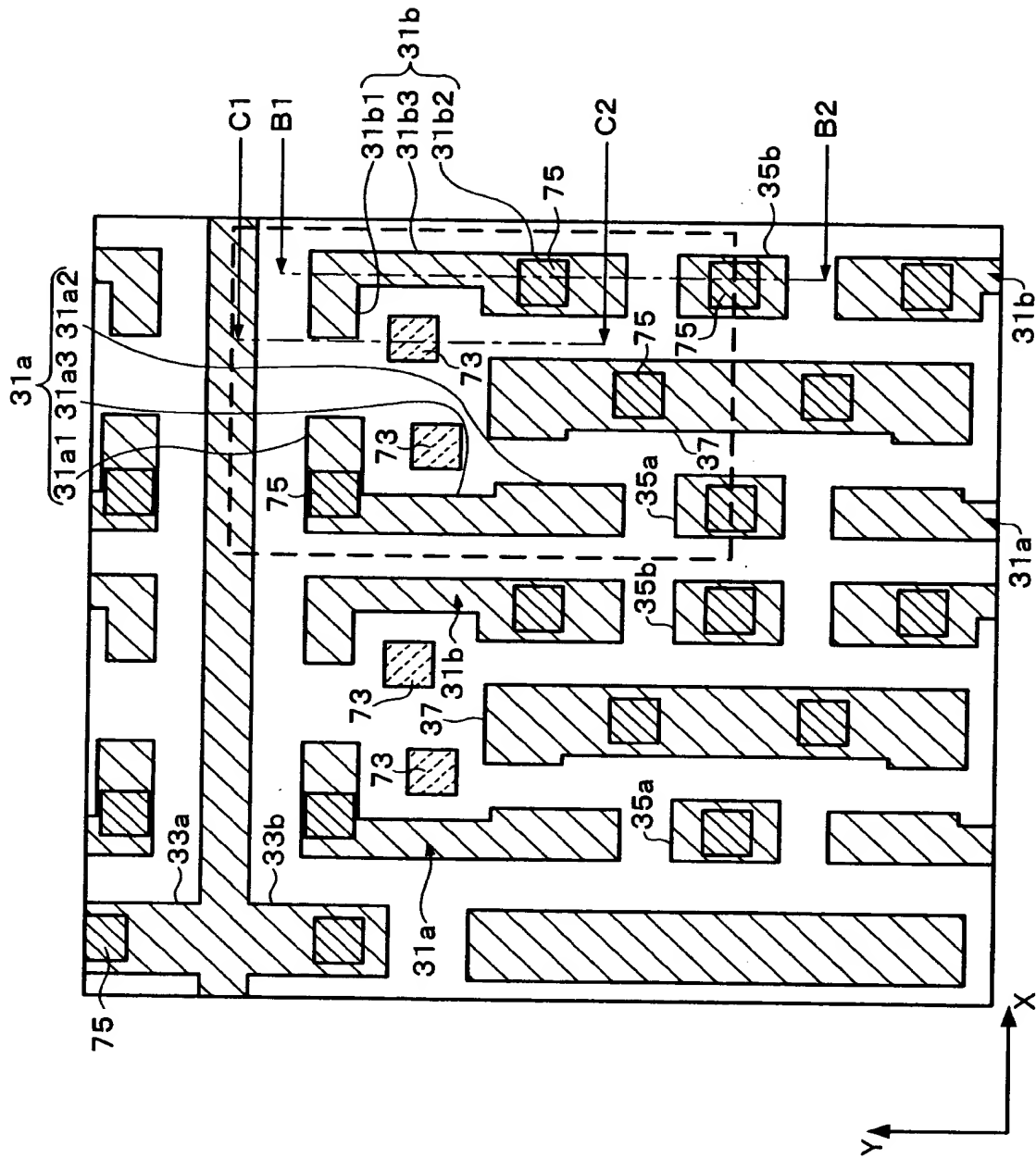
【図 1 0】



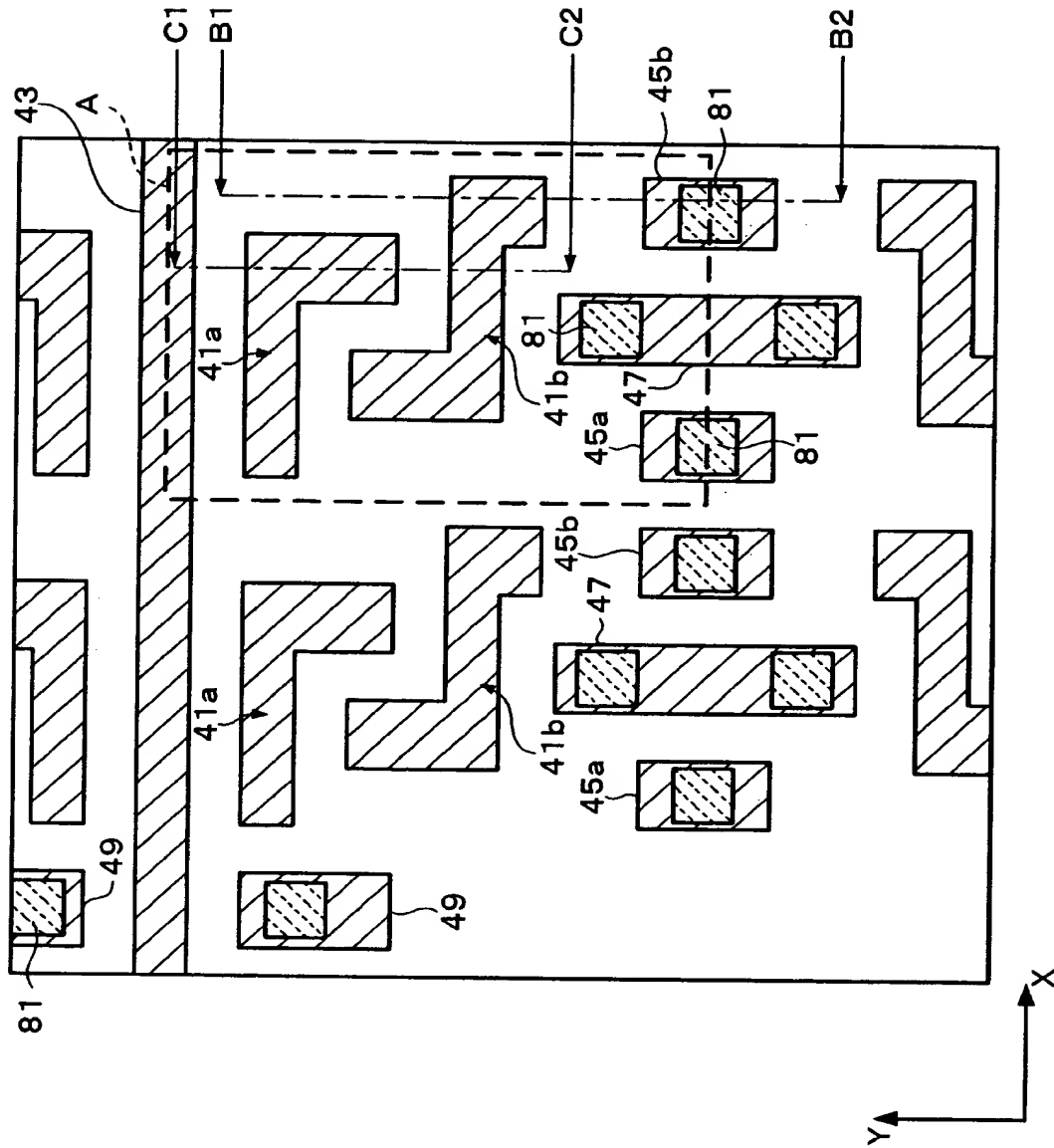
【図 11】



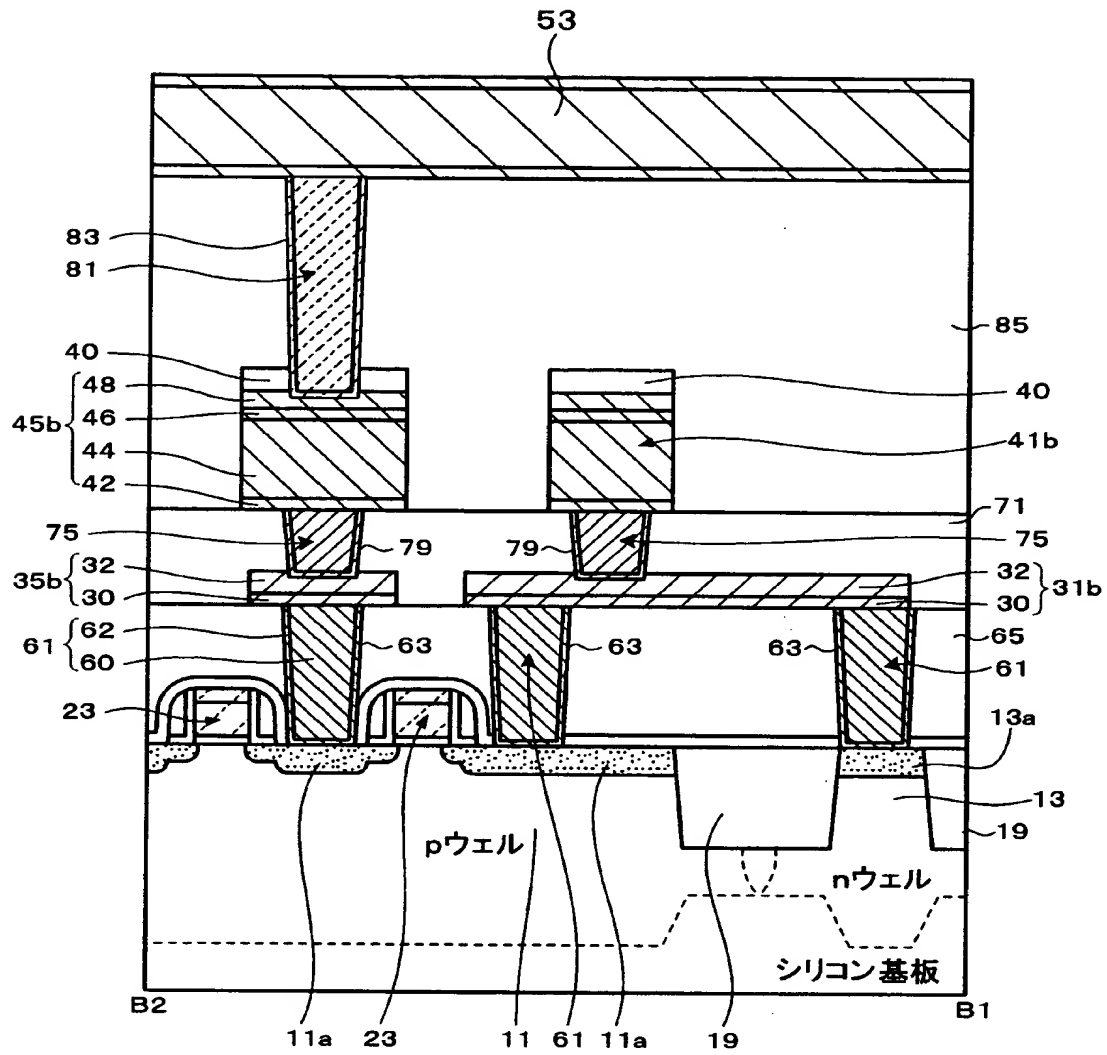
【図 12】



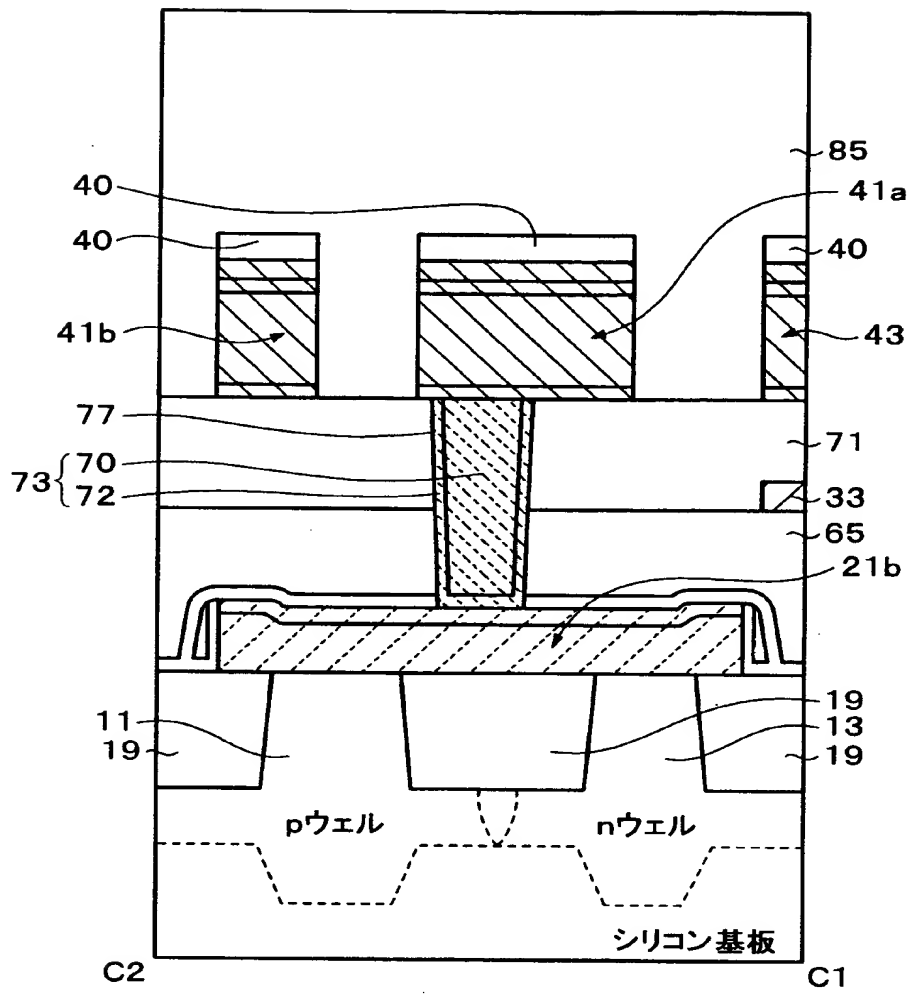
【図 13】



【図14】

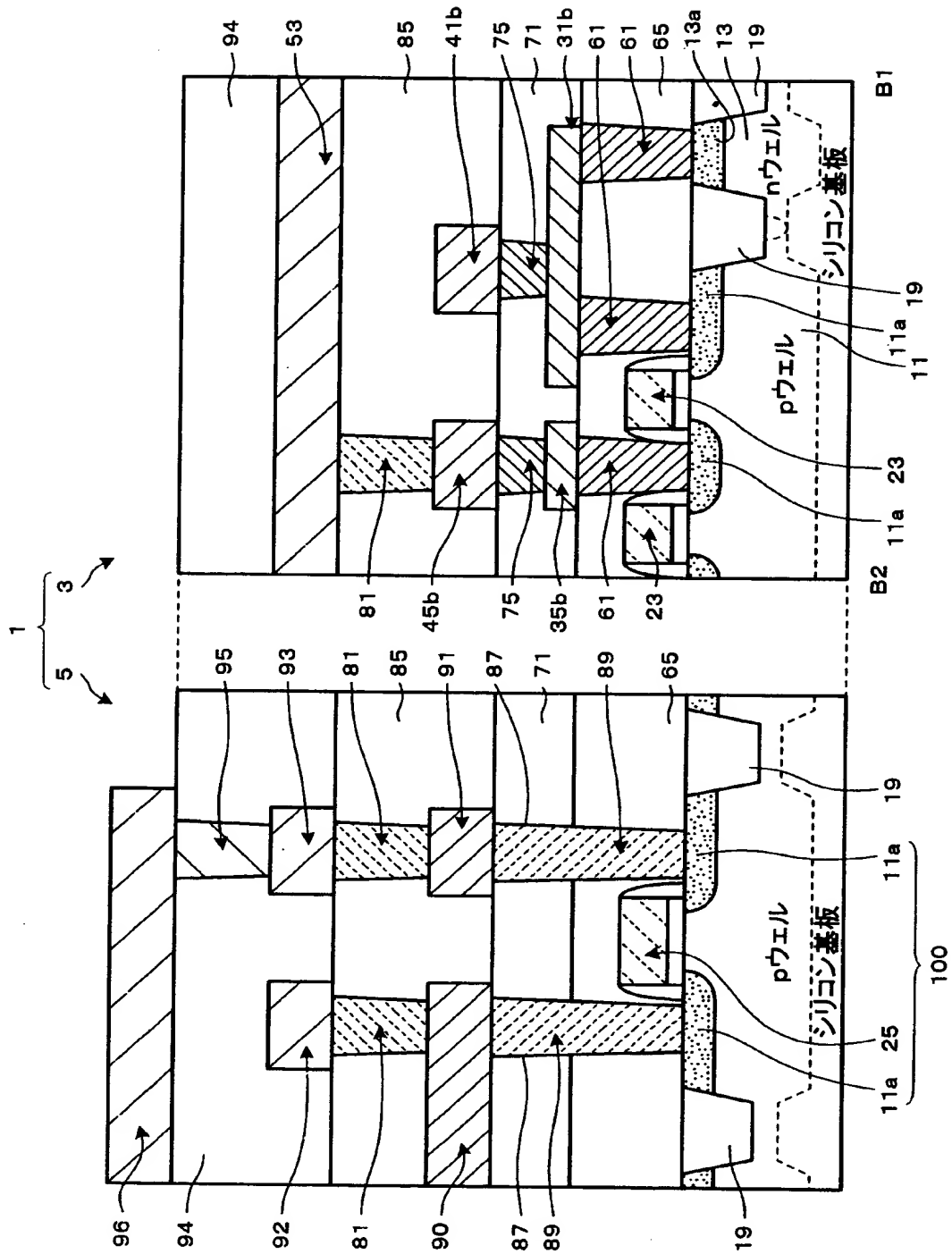


【図15】

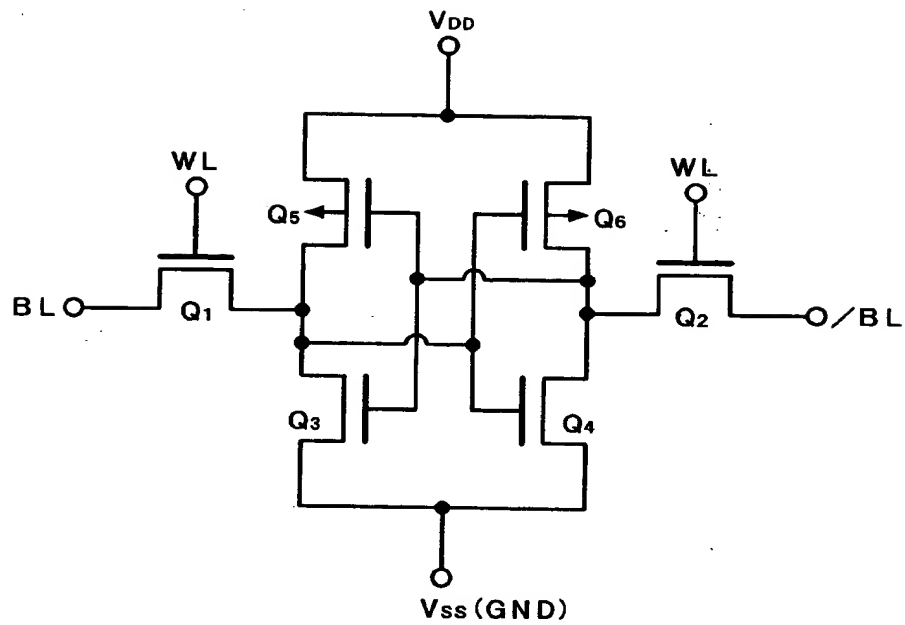




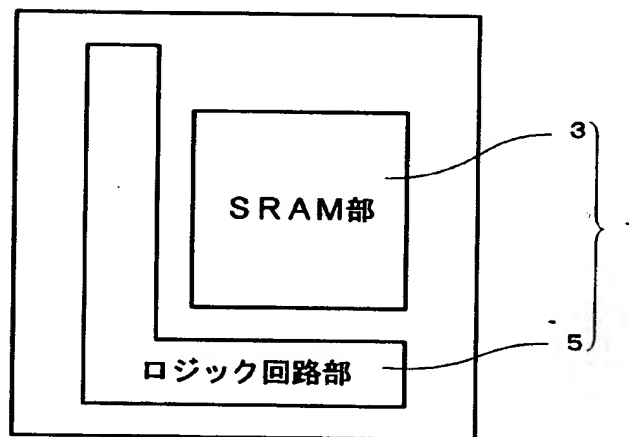
【図16】



【図 17】



【图 18】



【書類名】            要約書

【要約】

【課題】    メモリセルの小型化が可能な S R A M を提供すること。

【解決手段】    半導体装置は、S R A M 部と、ロジック回路部と、を同一の半導体基板に形成している。第 1 層導電層であるゲート電極層 2 1 a、2 1 b と、第 2 層導電層であるドレインードレイン接続層 3 1 a、3 1 b と、第 3 層導電層であるドレインーゲート接続層 4 1 a、4 1 b と、が S R A M 部のフリップフロップ用の導電層となる。ロジック回路部は、ドレインードレイン接続層 3 1 a、3 1 b と同じレベルの位置に、配線層を有さない。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社